**4.3.7 Приоритетом прерывания регистры (NVIC\_IPRx)**

Адрес смещения: 0x00- 0x0B

Значение сброса: 0x0000 0000

Требуется привилегия: Привилегированный

Регистры NVIC\_IPR0-IPR80 обеспечить поле приоритета 8-бит для каждого прерывания. Эти регистры байт доступны. Каждый регистр содержит четыре приоритетных области, которые отображаются на четырех элементов в приоритетных прерываний массива CMSIS IP [0], чтобы IP [67], как показано на Рисунок 19.

**Рисунок отображение 19. NVIC\_IPRx Регистрация**

**Таблица 47. Назначение битов прав интеллектуальной собственности**

Биты Имя Функция

[31:24] Приоритет, смещение байта 3 Каждый приоритет поле имеет приоритетное значение, 0-255.

Чем ниже значение, больше приоритет соответствующего

прерывания. Процессор реализует только биты

[23:16] Приоритет, смещение байта 2

[15: 8] Приоритет, смещение байта 1

[7: 0] Приоритет, смещение байта 0

**4.3.8 Программное обеспечение Регистрация триггер прерывания (NVIC\_STIR)**

Смещение Адрес: 0xE00

Значение сброса: 0x0000 0000

Требуется привилегия: Когда USERSETMPEND бит в СКВ установлен в 1, непривилегированных

Программное обеспечение может получить доступ к перемешиванию, см раздел 4.4.6: регистр управления системы (SCR) . Только привилегированное программное обеспечение может позволить непривилегированных доступ к перемешиванию.

Биты 31: 9 резерв, должны быть очищены.

Биты 8: 0  **INTID** генерируются программно прерывания ID

Написать в движение, чтобы создать генерируются программно прерывание (SGI). Значение должно быть записано, Прерывание идентификатор требуемого SGI, в диапазоне 0-239. Например, значение 0x03 Указывает, прервать IRQ3.

**4.3.9 Уровень чувствительные и импульсные прерывания**

STM32 прерывания и уровень чувствительных и пульс чувствительны к регистру. Импульсные прерывания также описываются как по фронту прерываний.

Уровень чувствительных прерывание проводится до периферийных ,сбрасывает сигнал прерывания.

Как правило, это происходит потому, что ISR доступ к периферийному устройству, заставляя его очистить запрос на прерывание. Импульс прерывания сигнала прерывания пробы синхронно с нарастающий фронт тактового процессора. Для обеспечения NVIC обнаруживает прерывание, периферическая должны утверждать сигнал прерывания, по крайней мере, один тактовый цикл, в течение которого NVIC обнаруживает импульса и фиксирует прерывание. Когда процессор переходит в ISR, он автоматически удаляет состояние ожидания аппаратного и программного обеспечения управления прерываний. Для уровня чувствительных прерывания, если сигнал не сбрасывается до процессор возвращает из ISR, прерывания переходит в режим ожидания снова, и процессор должен выполнить свою ISR снова. Это означает, что периферическая не может держать сигнал прерывания утверждал, до тех пор, больше не нуждается в обслуживании.

**Аппаратное и программное обеспечение управления прерываний**

Cortex-M4 фиксирует все прерывания. Периферийного прерывания становится до одного из следующим причинах:

• NVIC обнаруживает, что сигнал прерывания является высоким, и прерывание не активно

• NVIC обнаруживает нарастающий фронт на сигнале прерывания

• Программное обеспечение записывает в соответствующее прерывание набора рассмотрении бита регистра см Раздел 4.3.4: прерывание, установленные на рассмотрении регистры (NVIC\_ISPRx) , или на движение, чтобы сделать SGI до см раздел 4.3.8: программное обеспечение реестр триггер прерывания (NVIC\_STIR) ,

Прерывание остается не до, пока один из следующих действий:

• Процессор входит в ISR для прерывания. Это изменяет состояние прерывания

В ожидании активным. Тогда:

- Для уровня чувствительных прерывания, когда процессор возвращается из ISR, в NVIC

Образцы сигнал прерывания. Если сигнал утверждал, состояние прерывания

изменения в ожидании, что может вызвать процессор немедленно повторно ввести

ISR. В противном случае, при изменении состояния прерываний в неактивное.

- Для импульса прерывания, NVIC продолжает контролировать сигнал прерывания, и если это импульсное состояние изменений на прерывание до и активны. В этом случае,

Когда процессор возвращается из ISR изменении состояния прерывания

на рассмотрении, которые могли бы привести к процессору сразу же повторно ввести ISR. Если

сигнал прерывания не импульсный, а процессор в ISR, когда процессор возвращается из ISR изменении состояния прерываний в неактивное.

• Программное обеспечение записывает в соответствующее прерывание четкой рассмотрении бита регистра.

Для уровня чувствительных прерывания, если сигнал прерывания еще утверждал, состояние прерывание не изменится. В противном случае, при изменении состояния прерываний в неактивное.

Для импульса прерывания, состояние прерываний изменения в следующем:

- Неактивным, если государство до

- Активный, если государство активно и в ожидании.

**4.3.10 NVIC дизайн советы и подсказки**

Убедитесь, программное обеспечение использует выровнены доступа к регистрам. Процессор не поддерживает невыровненной доступ к регистрам NVIC. Посмотреть описания отдельных регистров для Поддерживаемые форматы доступа.

Прерывание может ввести в состояние отложенного даже она отключена. Отключение прерываний только предотвращает Процессор от принятия, что прерывание.

Перед программированием Втор переместить таблицу векторов, убедитесь, записи таблицы векторов из Новый вектор таблице могут быть сконфигурированы для обработчиков сбоев, NMI и все включено исключение, как прерывает. Для получения дополнительной информации см раздел 4.4.4: Таблица векторов смещения регистр (Втор) на страница 212 .

**Намеки программирования NVIC**

Программное обеспечение использует инструкции CPSIE I и CPSID I для включения и отключения прерываний.

CMSIS предоставляет следующие встроенные функции для этих инструкций:

void \_\_disable\_irq(void) // Запретить прерывания

void \_\_enable\_irq(void) // Включение прерываний

Кроме того, CMSIS предоставляет ряд функций для контроля NVIC, в том числе:

**Таблица 48. CMSIS функции для управления NVIC**

**Функция CMSIS управления прерыванием**  **Описание**

void NVIC\_SetPriorityGrouping(uint32\_t priority\_grouping) установить приоритет группировки

void NVIC\_EnableIRQ(IRQn\_t IRQn) Включить IRQn

void NVIC\_DisableIRQ(IRQn\_t IRQn) Отключить IRQn

uint32\_t NVIC\_GetPendingIRQ (IRQn\_t IRQn) Вернуться TRUE (IRQ-число), если IRQn явл. до

void NVIC\_SetPendingIRQ (IRQn\_t IRQn) Установите IRQn до

void NVIC\_ClearPendingIRQ (IRQn\_t IRQn) Ясно IRQn до состояния

uint32\_t NVIC\_GetActive (IRQn\_t IRQn) Возвращает количество прерываний в активный

void NVIC\_SetPriority (IRQn\_t IRQn, uint32\_t priority Установите приоритет для IRQn

uint32\_t NVIC\_GetPriority (IRQn\_t IRQn) Читайте приоритет IRQn

void NVIC\_SystemReset (void) Перезагрузка системы

Входной параметр IRQn является число прерываний, см Таблица 17: Свойства отличается Типы исключений на странице 37 . Для получения более подробной информации об этих функциях см CMSIS документация.

**4.3.11 NVIC Регистрация Карта**

Эта таблица показывает NVIC карту регистров и сброс значений. Базовый адрес главная NVIC блок регистров является 0xE000E100. Регистрация NVIC\_STIR находится в отдельном блоке в 0xE000EF00.

**Таблица 49. NVIC карту регистров и сброс значения**

**смотреть книгу**

**4,4 Блок управления системы (SCB)**

Блок управления системы (SCB) предоставляет информацию по внедрению системы и системы контроль. Это включает в себя конфигурирование, контроль и отчетность исключений системы.

**Таблица 50. Резюме блок регистров управления системой**

**Адрес Имя ТИп значение сброса Описание**

**1** Таблица 4.4.1: Дополнительное регистр

управления (ACTLR) на стр 207

**2** Таблица 4.4.2: CPUID базовый регистр (CPUID)на с208

**3** Таблица 4.4.3: Прерывание управления и

(ICSR) на стр 210

**4** Таблица 4.4.4: Vector стол регистр смещения на ст212

**5** Таблица 4.4.5: Применение прерываний и сброса

контроль зарегистрируйтесь (авиацион) на стр 212

**6** Таблица 4.4.7: Настройка и управление регистром (CCR)

на стр 215

**7** Таблица 4.4.8: Система приоритетные обработчик

регистра (SHPRx) на стр 217

**8** Таблица 4.4.9: управление обработчик системного и

реестр (SHCSR) на стр 219

**9** Таблица 4.4.10: Настраиваемые регистр состояния

неисправности (CFSR; UFSR + BFSR + MMFSR)ст221

**10** Таблица 4.4.10 на стр 221

**11** Таблица 4.4.10 на стр 221

**12** Таблица 4.4.10 на стр 221

**13** Таблица 4.4.14: регистр состояния жесткого неисправности

(HFSR) на стр 225

**14** Таблица 4.4.15: адрес ошибки управления памятью

зарегистрируйтесь (MMFAR) на стр 226

**15**

**16** Таблица 4.4.16: Автобус адрес ошибки регистр (BFAR)стр226

**17** Таблица 4.4.17: регистр состояния вспомогательного

неисправности (AFSR) на стр227

1. Смотрите описание регистров для получения дополнительной информации.

2. подрегистра из CFSR

**4.4.1 Дополнительный регистр управления (ACTLR)**

Адрес смещения: 0x00 (базовая адрес = 0xE000 E008)

Значение сброса: 0x0000 0000

Требуется привилегия: Привилегированный

По умолчанию этот регистр устанавливается для обеспечения оптимальной производительности Cortex-M4 Процессор и обычно не требует модификации. Регистрация ACTLR обеспечивает отключение

Биты для следующих функций процессора:

• IT складной

• написать использование буфера для обращения к карте памяти по умолчанию

• прерывание инструкции нескольких циклов.

Биты 31:10 защищены

Бит 9 DISOOFP

Отключение команд с плавающей точкой комплектующие вышли из строя по отношению к целочисленных инструкций.

Бит 8 DISFPCA

Отключение автоматического обновления CONTROL.FPCA.

Значение этого бита должно быть написано как ноль или консервированные (SBZP).

Бит 7: 3 Зарезервирован

Бит 2

DISFOLD

Отключение складывание ИТ инструкции:

0: позволяет ИТ-инструкции складные.

1: отключает его инструкции складные.

В некоторых ситуациях, процессор может начать выполнение первой команды в ИТ-блока в то время как по-прежнему выполняется поручение ИТ. Такое поведение называется ИТ складывающиеся, улучшает производительность, однако, складывая может вызвать дрожание цикла. Если задача должна избежать дрожания, установите DISFOLD бит 1 до выполнения задачи, чтобы отключить его складывать.

Бит 1 DISDEFWBUF

Этот бит влияет только буферы записи, реализованные в процессоре Cortex-M4.Отключение использования буфера записи во время отображения памяти по умолчанию доступ: Это вызывает все BusFaults в быть точные BusFaults, но снижает производительность, так как в любом магазине, должен памяти завершить до процессор может выполнять следующую команду.

0: Включить использование буфера записи: сохранение в памяти соревновались до следующей команды.

1: Отключить использование буфера записи.

Бит 0 DISMCYCINT

Отключение прерываний инструкций мульти-цикла. Когда установлено в 1, отключает прерывания нагрузки несколько и хранить несколько инструкций. Это увеличивает задержку прерывания процессора потому что любой LDM или STM должна быть завершена до процессор может складывать текущее состояние и введите обработчик прерываний.

0: Включение задержки прерывания процессора (загрузки / сохранения и умножения / разделяй операции).

1: Отключение задержки прерываний.

**4.4.2 CPUID базовый регистр (CPUID)**

Смещение Адрес: 0x00

Значение сброса: 0x410F C241

Требуется привилегия: Привилегированный

Регистрация CPUID содержит процессор номер детали, версия и реализации

Информация.

Биты 31:24 исполнителем : реализатор кода

0x41: ARM

Биты 23:20 Вариант : Вариант номер

Значение R в R н р н идентификатором пересмотра продукт

0x0: Редакция 0

Биты 19:16 **Констант**а: Изложить в 0xF

Биты 15: 4 **PARTNO** : Номер детали процессора

0xC24: = Cortex-M4

Биты 3: 0 **Редакци**я : номер версии

Значение р в т н р н идентификатором пересмотра продукт, указывает релиза патча.

0x1: = патч 1

**4.4.3 Прерывание управления и государственный реестр (ICSR)**

Смещение Адрес: 0x04

Значение сброса: 0x0000 0000

Требуется привилегия: Привилегированный

ICSR:

• Обеспечивает:

- Набор рассмотрении бит для Немаскируемое прерывания (NMI) за исключением

- Установка в ожидании и четкие рассмотрении битов для исключения PendSV и SysTick

• Указывает:

- Исключение количество исключением обрабатывается

- Есть ли выгружаются активные исключения

- Исключение число с наивысшим приоритетом отложенного исключением

- Если какие-либо прерывания находятся на рассмотрении.

Внимание:

Когда вы пишете в ИКСИ, эффект непредсказуем, если вы:

• Написать 1 в бит PENDSVSET и писать 1 в бит PENDSVCLR

• Написать 1 в бит PENDSTSET и писать 1 в бит PENDSTCLR.

Бит 31 **NMIPENDSET** : НМИ набор на рассмотрении немного.

Написать:

0: нет эффекта

1: Изменение NMI состояние исключения в ожидании.

Читайте:

0: НМИ исключение не до

1: НМИ Исключение составляет до

Потому что НМI наивысшим приоритетом исключение, обычно процессор введите NMI обработчик исключений, как только он регистрирует записи в 1 этого бита, и, войдя обработчика очищает Этот бит 0. чтения этого бита обработчиком исключений НМИ возвращает 1, только если сигнал НМИ подтвердил в то время как процессор выполняет этот обработчик.

Биты 30:29 защищены

Бит 28 **PENDSVSET**: PendSV установить на рассмотрении немного.

Написать:

0: нет эффекта

1: Изменение PendSV исключение государство еще не принято.

Читайте:

0: PendSV исключение не до

1: PendSV Исключение составляет до

Написание 1 этого бита является единственным способом установить состояние исключения PendSV в ожидании.

Бит 27 **PENDSVCLR**: PendSV ясно рассмотрении немного. Этот бит только для записи. На чтения, значение неизвестно.

0: нет эффекта

1: Удаляет состояние ожидания от исключения PendSV.

Бит 26 ***PENDSTSE***T: SysTick исключение установить на рассмотрении немного.

Написать :

0: нет эффекта

1: Изменение SysTick государство исключение до

Читайте :

0: SysTick исключение не до

1: SysTick Исключение составляет до

Бит 25 **PENDSTCLR**: SysTick исключением четко до бита. Только запись. На чтения, значение неизвестно.

0: нет эффекта

1: Удаляет состояние ожидания от исключения SysTick.

Бит 24 защищены, должны быть очищены.

Бит 23 Бит зарезервированы для использования Debug и читает-как-ноль, когда процессор не в Debug.

Бит 22 **​​ISRPENDING**: Прерывание флаг отложенного, за исключением НМИ и недостатки.

0: Прерывание не до

1: Прерывание до

Биты 21:19 защищены, должны быть всегда очищены.

Биты 18:12 **VECTPENDING** : В ожидании вектора. Указывает исключения номер наивысшим приоритетом до позволила исключение.

0: нет отложенных исключения

Другие значения: Номер-исключение из наиболее приоритетных отложенного позволило исключения.

Значение, указанное в этой области включает в себя эффект BASEPRI и FAULTMASK регистры, но не какой-то эффект регистра PRIMASK.

Бит 11 RETTOBASE: Возвращение в базовый уровень. Указывает ли выгружаются активный

Исключения:

0: Там выгружаются активные исключения для выполнения

1: Там нет активных исключений, или в настоящее время исполнительной Исключением является единственным активным

исключение.

Биты 10: 9 Reserved

Биты 8: 0

VECTACTIVE Активный вектор. Содержит активный номер исключения:

0: Режим Автор

Другие значения: исключение номер активного в данный момент исключения.

Примечание: Вычтите 16 из этого значения, чтобы получить количество CMSIS IRQ требуется для индексирования в Прерывание Clear-Включить, поставить включите Clear-Ожидает, Set-Ожидает, или приоритет регистры, см таблицу 6 на стр 21

1. Это же значение, IPSR бит [8: 0], см Прерывание регистр состояния программы на странице 21.

**4.4.4 Таблица векторов регистр смещения (Втор)**

Смещение Адрес: 0x08

Значение сброса: 0x0000 0000

Требуется привилегия: Привилегированный

Биты 31:30 защищены, должны быть всегда очищены

Биты 29: 9  **TBLOFF** : Вектор стол базовое смещение поля.

Он содержит биты [29: 9] Смещение базовой таблицы с адреса памяти 0x00000000. Когда установка TBLOFF необходимо согласовать смещение количеству записей исключений в векторе Таблица. Минимальная выравнивание 128 слов. Требования Выравнивание таблицы означает, что биты [8: 0] таблицы смещения всегда равны нулю.

Бит 29 определяет, является ли таблица векторов в кодовой или SRAM области памяти.

0: Код

1: SRAM

Примечание: Бит 29 иногда называют TBLBASE немного.

Биты 8: 0 защищены, должны быть всегда очищены.

4.4.5

Прервать приложений и сброс регистра управления (авиацион)

Смещение Адрес: 0x0C

Значение сброса: 0xFA05 0000

Требуется привилегия: Привилегированный

Авиацион обеспечивает приоритетное управление группировки для модели исключение, порядка байтов статуса данных доступ, и сбросить контроль над системой. Для записи в этот регистр, необходимо написать 0x5FA в поле VECTKEY, в противном случае Процессор игнорирует записЬ.

Биты 31:16 VECTKEYSTAT / VECTKEY Регистрация ключа

Изложить в 0xFA05

На записи, писать 0x5FA в VECTKEY, в противном случае запись игнорируется.

Битовый 15 **ENDIANESS** Data порядка байтов

Изложить в 0.

0: прямой порядок байтов

Биты 14:11 защищены, должны быть всегда очищены

Биты 10: 8  **PRIGROUP** : приоритетом прерывания группировка полей

Это поле определяет раскол группы приоритет по subpriority см двоичной точки на странице 213 ,

Биты 7: 3 резерв, должны быть всегда очищены

Бит 2 **SYSRESETREQ** запрос на сброс системы

Это предназначено, чтобы заставить большой сброс системы всех основных компонентов для отладки исключением.

Этот бит читается как 0.

0: Нет запроса перезагрузка системы

1: заявляет, сигнал на внешней системе, который запрашивает сброс.

Бит 1 **VECTCLRACTIVE**

Зарезервировано для использования в Debug. Этот бит читается как 0. При записи в регистр необходимо записать 0 в Этот бит, в противном случае поведение непредсказуемо.

Бит 0 **VECTRESET**

Зарезервировано для использования в Debug. Этот бит читается как 0. При записи в регистр необходимо записать 0 в Этот бит, в противном случае поведение непредсказуемо.

**Binary точка**

Поле PRIGROUP указывает положение двоичной точки, который разбивает PRI\_ п полей вПриоритет прерывания Регистры на отдельные приоритетные группы и subpriority полей. Таблица 51 показывает, как значение PRIGROUP контролирует этот раскол. Если вы реализуете менее 8 приоритет бит может потребоваться больший объяснение здесь, и вы хотите, чтобы удалить недопустимые строки из стол, и изменять записи в число столбцов.

**Таблица 51. Приоритет группировки**

**4.4.6 Регистр управления системы (SCR)**

Смещение Адрес: 0x10

Значение сброса: 0x0000 0000

Требуется привилегия: Привилегированный

SCR контролирует особенности въезда и выезда из состоянии пониженного энергопотребления.

Биты 31: 5 зарезервировано, должно быть очищены

Бит 4 **SEVEONPEND** Отправить событие на ожидании немного

Когда событие или прерывание входит состояние отложенного, сигнал о событии просыпается процессор от WFE. Если процессор не ожидает события, событие регистрируется, и влияет рядом

WFE. Процессор также просыпается от исполнения поручения SEV или внешнее событие

0: только включенные прерывания или события могут спящего режима процессора, прерывания инвалиды исключенный

1: Включено события, и все прерывания, в том числе прерываний с ограниченными физическими возможностями, могут пробуждения Процессор.

Бит 3 Резерв должен быть всегда очищен

Бит 2 **SLEEPDEEP**

Управление использует ли процессор в режим сна или глубокого сна, как его режим пониженного энергопотребления:

0: Сон

1: Глубокий сон.

Бит 1 **SLEEPONEXIT**

Настраивает сон-на-выхода при возвращении из режима обработчика в режим нить. Установка этого бита в

1 дает возможность прерываниям приложение, чтобы избежать возвращения в пустой основного приложения.

0: Не спать при возвращении в режим нить.

1: режим сна или глубокого сна, по возвращении из прерывания обслуживания.

Бит 0 зарезервирован должны храниться очищается.

**4.4.7 Настройка и управление регистром (CCR)**

Смещение Адрес: 0x14

Значение сброса: 0x0000 0200

Требуется привилегия: Привилегированный

CCR управляет запись в режим нить и позволяет:

• Обработчики для НМИ, трудно вина и недостатки эскалированных FAULTMASK игнорировать ШИНУ недостатков

• Захват деления на ноль и выровненным обращений

• Доступ к STIR непривилегированными программного обеспечения, см Программное обеспечение Регистрация триггер прерывания

(NVIC\_STIR) на стр 201 .

Бит 9 STKALIGN

Настройка выравнивания стек на входе исключений. На входе исключений, процессор использует бит 9

сложены PSR, чтобы указать выравнивание стека. По возвращении из за исключением он использует это

сложены немного, чтобы восстановить правильное выравнивание стека.

0: 4 байта с выравниванием

1: 8 байт неприсоединения

Бит 8 BFHFNMIGN

Включает обработчики с приоритетом -1 или -2 игнорировать ошибки шины данных, вызванных нагрузкой и магазина инструкции. Это относится и к жестким вине, НМИ, а FAULTMASK обострилась обработчики. Установите бит 1 только тогда, когда обработчик и его данные находятся в абсолютно безопасной памяти. Нормальное использование этот бит, чтобы исследовать системные устройства и мосты, чтобы обнаружить управления проблем с путями и исправлять их.

0: ошибки шины данных, вызванной загрузки и сохранения вызвать блокировки,

1: Обработчики, работающие с приоритетом -1 и -2 игнорировать ошибки шины данных, вызванных нагрузкой и магазина инструкции.

Биты 7: 5 резерв, должны быть всегда очищены

Бит 4 DIV\_0\_TRP

Позволяет неисправность или прекращение когда процессор выполняет SDIV или инструкции UDIV с делитель 0:

0: Не ловушка делении на 0

1: Ловушка делении на 0.

Когда этот бит установлен в 0, деление на ноль возвращает частное 0.

Бит 3 UNALIGN\_ ГТО

Позволяет невыровненные ловушки доступа:

0: Не ловушку нарушиться полуслов и слово доступы

1: Ловушка нарушиться полуслова и слова доступ.

Если этот бит установлен в 1, выровненным доступа генерирует ошибку использования.

Unaligned LDM, STM, LDRD и инструкции StrD всегда вина, независимо от того,

UNALIGN\_TRP установлен в 1.

Бит 2 зарезервирован должны храниться очищается

Бит 1 USERSETMPEND

Позволяет непривилегированную доступ к программному обеспечению на Перемешать, см программного обеспечения реестра триггер прерывания

(NVIC\_STIR) на стр 201 :

0: Отключить

1: Включить.

Бит 0 NONBASETHRDENA

Настраивает процессор переходит в режим темы.

0: Процессор может войти в режим темы только тогда, когда исключение не является активным.

1: Процессор может войти в режим потока из любого уровня под контролем EXC\_RETURN значение, см Исключение возвращение на странице 43.

**4.4.8 Приоритетные обработчик системы реестров (SHPRx)**

Регистры SHPR1-SHPR3 установить уровень приоритета, от 0 до 255 обработчиков исключений, которые

есть настраиваемые приоритеты.

SHPR1-SHPR3 являются байт доступны.

Обработчики сбоев системы и поля приоритета и регистрации в каждом обработчике являются:

**Таблица52 приоритетных направлений обработчик ошибок**

**Обработчик Поле Регистрация описание**

Неисправность Управление памятью PRI\_4 Обработчик системного приоритет Регистрация1

Неисправность шины PRI\_5 (SHPR1)

Неисправность Использования PRI\_6

SVCall PRI\_11Обработчик системного приоритет Регистрация2 ст217

PendSV PRI\_14 Обработчик системного приоритет Регистрация3 с218

SysTick PRI\_15

Каждый PRI\_N поле 8 битам, но процессор реализует только биты [7: 3] для каждого поля, и биты [3: 0] читается как ноль, и игнорировать пишет (где М = 4).

**Обработчик системного приоритет Регистрация 1 ( SHPR1)**

Смещение Адрес: 0x18

Значение сброса: 0x0000 0000

Требуется привилегия: Привилегированный

Биты 31:24 защищены, должны быть всегда очищены

Биты 23:16 PRI\_6: Приоритет обработчика системного 6, вина использования

Биты 15: 8 PRI\_5: Приоритет обработчика системы 5, вина автобус

Биты 7: 0 PRI\_4: Приоритет обработчика системного 4, вина управление память.

**Обработчик системного приоритет Регистрация 2 (SHPR2)**

Смещение Адрес: 0x1C

Значение сброса: 0x0000 0000

Требуется привилегия: Привилегированный

Биты 31:24 PRI\_11: Приоритет обработчика системы 11, SVCall

Биты 23: 0 Сдержанная, должны быть всегда очищены.

**Обработчик системного приоритет Регистрация 3 (SHPR3)**

Адрес: 0xE000 ED20

Значение сброса: 0x0000 0000

Требуется привилегия: Привилегированный

Биты 31:24 PRI\_15: Приоритет обработчика системы 15, SysTick исключений

Биты 23:16 PRI\_14: Приоритет обработчика системы 14, PendSV

Биты 15: 0 Сдержанная, должны быть всегда очищены.

**4.4.9 Контроль обработчик системы и государственного регистра (SHCSR)**

Смещение Адрес: 0x24

Значение сброса: 0x0000 0000

Требуется привилегия: Привилегированный

SHCSR позволяет обработчики системных и указывает:

• До состояния автобуса вине, вине управления памятью и SVC исключений

• Активный статус обработчиков системы.

Если отключить обработчик системы и происходит соответствующая неполадка, процессор обрабатывает вина как жесткий неисправности. Вы можете написать в этот регистр, чтобы изменить или незавершенных активное состояние системных исключений. OS ядро ​​может написать активных битов для выполнения переключения контекста, который изменяет

Текущий тип исключение.

• Программное обеспечение, которое изменяет значение активного бит в этом регистре, не правильно

Корректировка пакетного контента может привести к процессор для генерации ошибки исключение. Убедитесь, программное обеспечение, которое пишет в этот регистр сохраняет и впоследствии восстанавливает текущий активный статус.

• После активации обработчики системе, если у вас есть, чтобы изменить значение бита в

этот регистр необходимо использовать процедуру чтение-модификация-запись для того, чтобы изменить только требуется немного.

Биты 31:19 защищены, должны быть всегда очищены

Бит 18 **USGFAULTENA**: неисправность Использование бит разрешения, устанавливается в 1, чтобы включить

Бит 17 **BUSFAULTENA**: неисправность шины позволяют немного, установлен в 1, чтобы включить

Бит 16 **MEMFAULTEN**A: ошибка управления памятью позволяют немного, установите значение 1, чтобы включить

Бит 15 **SVCALLPENDED**: SVC вызов в ожидании немного, читает как 1, если исключение находится на рассмотрении

Бит 14 **BUSFAULTPENDE**D: автобус исключение ошибки до бита, читает как 1, если исключение до

Бит 13 **MEMFAULTPENDED**: Управление памятью исключение ошибки ожидании немного, читает как 1, если Исключение ожидании.

Бит 12 **USGFAULTPENDED**: Использование исключение ошибки до бита, читает как 1, если исключение до

Бит 11 **SYSTICKACT**: SysTick исключением Активный бит, читается как 1, если исключение является активным

Бит 10 **PENDSVACT**: PendSV исключением Активный бит, читается как 1, если исключение является активным

Бит 9 Сдержанная, должны быть всегда очищены.

Бит 8 **MONITORAC**T: монитор отладки активное немного, читает как 1, если Debug монитор работает,

Бит 7 **SVCALLACT**: SVC активного вызова немного, читает как 1, если SVC активного вызова

Биты 6: 4 резерв, должны быть всегда очищены

Бит 3 **USGFAULTACT**: Использование исключение ошибки Активный бит, читается как 1, если исключение является активным

Бит 2 Сдержанная, должны быть всегда очищены

Бит 1 **BUSFAULTACT**: автобус исключение ошибки Активный бит, читается как 1, если исключение является активным

Бит 0 **MEMFAULTACT**: Память исключение ошибки управления Активный бит, читается как 1, если исключение активный

1. Включите биты, установленные в 1 для того, чтобы исключение или установить в 0, чтобы отключить исключение.

2. До бит, читается как 1, если исключение не принято, или как 0, если она не завершено. Вы можете написать эти биты изменить до статуса исключения.

3. Активные биты, читать как 1, если исключение является активным, или 0, если он не является активным. Вы можете написать эти биты, чтобы изменить активный Статус исключений, но увидеть Внимание в этом разделе.

**4.4.10 Настраиваемые регистр состояния неисправности (CFSR; UFSR + BFSR + MMFSR)**

Смещение Адрес: 0x28

Значение сброса: 0x0000 0000

Требуется привилегия: Привилегированный

В следующих разделах описываются подрегистрах, которые составляют CFSR:

• Использование регистра состояния неисправности (UFSR) на стр 222

• Регистр состояния неисправности шины (BFSR) на странице 223

• Управление памятью адрес ошибки регистр (MMFSR) на стр 224

CFSR является байт доступны. Вы можете получить доступ к CFSR или его подрегистры следующим образом:

• Доступ к полной CFSR с доступом слово, чтобы 0xE000ED28

• Доступ к MMFSR с доступом байт до 0xE000ED28

• Доступ к MMFSR и финансовой устойчивости банка с полуслова доступа к 0xE000ED28

• Доступ к финансовой устойчивости банка с доступом байт до 0xE000ED29

• Доступ к UFSR с полуслова доступа к 0xE000ED2A.

CFSR указывает причину неисправности управления памятью, неисправность автобуса или неисправности использования.

**Рисунок 20. CFSR подрегистрах**

Биты 31:16 UFSR : см регистр состояния неисправности Использование (UFSR) на стр 222

Биты 15: 8 Рейтинг финансовой устойчивости : см регистр состояния неисправности шины (BFSR) на странице 223

Биты 7: 0 MMFSR : см Управление памятью адрес ошибки реестра (MMFSR) на стр 224

**4.4.11 Использование регистра состояния неисправности (UFSR)**

Биты 31:26 защищены, должны быть всегда очищены

Бит 25 DIVBYZERO: Деление на ноль вине использования. Когда процессор устанавливает этот бит на 1, значение PC

сложены для возвращенных исключение указывает на инструкцию, которая исполнила деление на ноль. Включить захват деления на ноль, установив DIV\_0\_TRP бит в CCR на 1 см Настройка и управление регистром (CCR) на стр 215 .

0: Нет деления на ноль вине, или деления на ноль не захвата не включена

1: процессор выполнил SDIV или инструкции UDIV с делителем 0.

Бит 24 UNALIGNED: ошибка использование Unaligned доступа. Включить захват выровненным обращений по

установка UNALIGN\_TRP бит в CCR в 1 см Настройка и управление зарегистрируйтесь (CCR)

на стр 215 .

Unaligned LDM, STM, LDRD и инструкции StrD всегда вина, независимо от установки UNALIGN\_TRP.

0: Нет нарушиться вина доступ, или выровненным доступа не пленения не включена

1: процессор сделал невыровненный доступ к памяти.

Биты 23:20 защищены, должны быть всегда очищены

Бит 19 **NOCP**: Нет отказа использование сопроцессора. Процессор не поддерживает инструкции сопроцессора:

0: Нет неисправности использования вызвано попыткой получить доступ к сопроцессор

1: процессор пытается получить доступ к сопроцессор.

Бит 18 **INVPC**: сбой загрузка памяти ПК, вызвана неверной нагрузки на компьютер с помощью EXC\_RETURN:

Когда этот бит установлен в 1, значение PC сложены для возвращенных исключением точек с инструкцией что пытались выполнить незаконное нагрузку на компьютер.

0: Нет недействительным PC вина загрузка памяти

1: процессор предпринял попытку незаконного нагрузку EXC\_RETURN к компьютеру, в результате

неверном контексте или недопустимое значение EXC\_RETURN.

Бит 17  **INVSTATE**: недопустимое состояние неисправности использования. Когда этот бит установлен в 1, значение PC сложены для

Обратные исключение указывает на инструкцию, которая пыталась незаконного использования EPSR. Этот бит не установлен в 1, если не определено инструкция использует EPSR.

0: Нет недопустимое состояние неисправности использования

1: процессор пытается выполнить команду, которая делает незаконное использование EPSR.

Бит 16 **UNDEFINSTR**: Undefined инструкция вина использования. Когда этот бит установлен в 1, стоимость ПК сложены для возвращенных исключение указывает на неопределенное обучения.

Не определено инструкция , процессор не может декодировать.

0: Нет неопределенным инструкция вина использования

1: процессор пытается выполнить неопределенную команду.

**4.4.12 Регистр состояния неисправности шины (BFSR)**

Бит 15 **BFARVALID**: автобус неисправностей адресный регистр (BFAR) действительный флаг. Процессор устанавливает этот бит в 1 после аварии автобуса, где-адрес известен. Другие неисправности может установить этот бит в 0, такие, как Неисправность управления памятью происходит позже.

Если неисправность автобуса происходит и переросла в жесткий вина, потому что в качестве приоритетных, обработчика трудно вина необходимо установить этот бит в 0. Это предотвращает проблемы, если вернуться к обработчике ошибок пакетного активно шины

которого BFAR значение были перезаписаны.

0: Значение в BFAR не действительный адрес вина

1: BFAR имеет действительный адрес ошибки.

Бит 14, должны быть всегда очищены

Бит 13 **LSPERR** : неисправность автобуса с плавающей точкой сохранения ленивый состояния.

0: не произошло замыкания шины во время плавающей точкой сохранения ленивый состояния.

Произошло вина автобус во время плавающей точкой ленивый сохранения состояние: 1

Бит 12 STKERR: неисправность шины по укладке для вступления исключений. Когда процессор устанавливает этот бит в 1, в

SP-прежнему регулируется, но значения в контексте области в стеке может быть неправильным.

процессор не написать адрес ошибки в BFAR.

0: Нет дефект упаковки

1: Штабелеры для записи исключений вызвал один или несколько ошибок шины.

Бит 11 **UNSTKERR**: неисправность шины на Расшахтовочная для возвращения из исключения. Эта ошибка прикован к

обработчик. Это означает, что, когда процессор устанавливает этот бит на 1, оригинальная стек возвратов еще присутствует. Процессор не регулирует ИП от неисправного свою очередь, не выполняется Новый сохранить, и не написать адрес ошибки в BFAR.

0: Нет Расшахтовочная вина

1: поместить значение для возвращения исключения вызвало один или несколько неисправностей шины.

Бит 10 **IMPRECISERR**: Неточный ошибка шины данных. Когда процессор устанавливает этот бит на 1, это не написать адрес ошибки в BFAR. Это асинхронный вина. Таким образом, если обнаружено, когда приоритет текущего процесса выше, чем приоритет неисправности автобуса, неисправности автобуса переходит в режим ожидания и становится активным только тогда, когда процессор возвращается из всех более высоким приоритетом процессы. Если точнее неисправности, прежде чем процессор входит в обработчик для неточным вина автобус, обработчик обнаруживает как IMPRECISERR установлен в 1, и один из точного устранения неисправности Биты, установленные на 1.

0: Нет неточным ошибка шины данных

1: ошибка шины данных произошла, но обратный адрес в кадре стека не имеет отношения к Инструкция, которая вызвала ошибку.

Бит 9 PRECISERR: Точная ошибка шины данных. Когда наборы процессоров этот бит равен 1, это пишет Ошибка ,обратиться к BFAR.

0: Нет точной ошибка шины данных

1: ошибка шины данных произошло, и значение ПК сложены для возврата исключением указывает на Инструкцию, которое вызвало ошибку.

Бит 8 IBUSERR: ошибка шины по эксплуатации. Процессор обнаруживает ошибку инструкция шины на предварительной выборки инструкция, но она устанавливает IBUSERR флаг на 1, только если он пытается выдать Ошибка в инструкция.

Когда наборы процессоров этот бит равен 1, это не написать адрес ошибки в BFAR.

0: Нет ошибок эксплуатации шин

1: ошибка шины по эксплуатации.

**4.4.13 Управление памятью адрес ошибки регистр (MMFSR)**

Бит 7 MMARVALID: Fault Management памяти адресный регистр (MMAR) действительный флаг. Если в памятиНеисправность управления происходит и переросла в жесткий вина, потому что в качестве приоритетных, трудно неисправностей Проводник должен установить этот бит в 0. Это предотвращает проблемы при возвращении на сложенной активной памяти обработчик ошибок управления которого MMAR значение были перезаписаны.

0: Значение в MMAR не действительный адрес вина

1: MMAR имеет действительный адрес ошибки.

Бит 6 Зарезервировано, должно быть всегда очищен

Бит 5 MLSPERR: Произошёл сбой Нет MemManage во плавающей точкой ленивый сохранения состояние: 0

Произошло вина MemManage во плавающей точкой ленивый сохранения состояние: 1

Бит 4 MSTKERR: Память неисправностей менеджер по укладке для вступления исключений. Если этот бит равен 1, то ИП

еще регулируется, но значения в контексте области в стеке может быть неправильным.Процессор не написал адрес ошибки в MMAR.

0: Нет дефект упаковки

1: Штабелеры для записи исключений вызвал один или несколько нарушений доступа.

Бит 3 **MUNSTKERR**: менеджер памяти неисправностей на Расшахтовочная для возвращения из исключения. Эта ошибка присвоена к проводнику. Это означает, что, когда этот бит равен 1, оригинальный стек возвратов еще присутствует. Процессор не поправил ИП от неисправного возвращения, и не выполняется Новый сохранить. Процессор не написал адрес ошибки в MMAR.

0: Нет Расшахтовочная вина

1: поместить значение для возвращения исключения вызвало один или несколько нарушений доступа.

Бит 2 зарезервирован должны храниться очищается

Бит 1 **DACCVIO**L: Данные флаг нарушение прав доступа. Если этот бит равен 1, то значение PC уложены на Обратные исключение указывает на вызвавший обучения. Процессор загружен MMAR с адрес попытке доступа.

0: Нет доступа к данным вина нарушение

1: процессор попытку загрузки или хранения в месте, не допускает операции.

Бит 1 **IACCVIOL**: флаг нарушение прав доступа по эксплуатации. Эта ошибка возникает в любой доступа к XN области,даже MPU отключен или нет.

Если этот бит равен 1, то значение PC сложены для возврата исключением указывает на разломов инструкция. Процессор не написал адрес ошибки в MMAR.

0: Никакая инструкция вина нарушение прав доступа

1: процессор пытался выборки команд из места, которые не допускают выполнение.