

4.4 Системный блок управления (SCB)

Системный блок управления (SCB) предоставляет системную информацию о реализации, и систему управление. Это включает конфигурацию, управление, и создание отчетов системных исключений.

Таблица 50. Сводка системных регистров блока управления

Адрес	Имя	Тип	Требуемое привилегия	Значени е сброса	Описание
0xE000E008	ACTLR	RW	Привилегиро ванный	0x00000 000	Таблица 4.4.1: Дополнительное регистр управления (ACTLR) на стр 207
0xE000ED00	CPUID	RO	Привилегиро ванный	0x410FC 241	Таблица 4.4.2: CPUID базовый регистр (CPUID) на стр 208
0xE000ED04	ICSR	RW ⁽¹⁾	Привилегиро ванный	0x00000 000	Таблица 4.4.3: Прерывание управления и регистр состояния (ICSR) на стр 210
0xE000ED08	VTOR	RW	Привилегиро ванный	0x00000 000	Таблица 4.4.4: Вектор таблицы регистр смещения (Втор) на стр 212
0xE000ED0C	AIRCR	RW ⁽¹⁾	Привилегиро ванный	0xFA050 000	Таблица 4.4.5: Применение прерываний и сброса регистр управления (AIRCR) на стр 212
0xE000ED10	SCR	RW	Привилегиро ванный	0x00000 000	Таблица 4.4.6: управление системой Регистр (SRC) на стр 214
0xE000ED14	CCR	RW	Привилегиро ванный	0x00000 200	Таблица 4.4.7: Настройка и управление регистра (CCR) на стр 215
0xE000ED18	SHPR1	RW	Привилегиро ванный	0x00000 000	Таблица 4.4.8: Система приоритетных проводника регистра (SPRx) на странице 217
0xE000ED1C	SHPR2	RW	Привилегиро ванный	0x00000 000	
0xE000ED20	SHPR3	RW	Привилегиро ванный	0x00000 000	
0xE000ED24	SHCRS	RW	Привилегиро ванный	0x00000 000	Таблица 4.4.9: управление обработчика системного и регистра состояния (SHCSR) на стр 219
0xE000ED28	CFSR	RW	Привилегиро ванный	0x00000 000	Таблица 4.4.10: Настраиваемые регистр состояния неисправности (CFSR; UFSR + BFSR + MMFSR) на стр 221
0xE000ED28	MMSR ⁽²⁾	RW	Привилегиро ванный	0x00	MemManage Состояние неисправности регистра Таблица 4.4.10 на стр 221
0xE000ED29	BFSR ⁽²⁾	RW	Привилегиро ванный	0x00	Шины Состояние неисправности регистра Таблица 4.4.10 на стр 221
0xE000ED2A	UFSR ⁽²⁾	RW	Привилегиро ванный	0x0000	Использование Состояние ошибки регистра Таблица 4.4.10 на стр 221

0xE000ED2C	HFSR	RW	Привилегированный	0x00000000	Таблица 4.4.14: Hard регистр состояния неисправности (HFSR) на стр 225
0xE000ED34	MMAR	RW	Привилегированный	Неизвестно	Таблица 4.4.15: Регистр адреса ошибки управления памятью (MMFAR) на стр 226
0xE000ED38	BFAR	RW	Привилегированный	Неизвестно	Таблица 4.4.16: Шина адреса ошибки Регистр (BFAR) на стр 226
0xE000ED3C	AFSR	RW	Привилегированный	0x00000000	Таблица 4.4.17: Дополнительные регистры состояния неисправности (AFSR) на стр 227

1. Смотрите описание регистров для получения дополнительной информации.

2. подрегистры из CFSR

4.4.1 Вспомогательные регистры управления (ACTLR) смещение адреса: 0x00 (базовый адрес = 0xE000 E008) Сброс значения: 0x0000 0000

Требуемое привилегия: привилегированный

По умолчанию этот регистр устанавливается для обеспечения оптимальной производительности от процессора Cortex-M4, и обычно не требует модификации. регистров ACTLR обеспечивает выключение битов для следующих функций процессора:

- IT складной
- буфер использование записи для обращений к карте памяти по умолчанию
- прерывание инструкции мульти-цикла.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Зарезервированный															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Зарезервированный	DISOFFP	DISFPCA						DISFOLD	DISDEFWBUF	DISMCYCINT
	rw	rw						rw	rw	rw

Биты 31:10 защищены

Бит 9 DISOFFP

Отключение команд с плавающей точкой комплектующие вышли из строя по отношению к целочисленным инструкций.

Бит 8 DISFPCA

Отключить автоматическое обновление CONTROL.FPCA.

Значение этого бита должно быть написано как ноль или как величина (SBZP).

Бит 7: 3 Зарезервировано

Бит 2 DISFOLD

Отключение ИТ инструкции:

0: позволяет ИТ-инструкции выполнение.

1: отключает его инструкции выполнение.

В некоторых ситуациях, процессор может начать выполнение первой команды в ИТ-блока, когда он еще выполняет команды ИТ. Такое поведение называется ИТ складывающиеся и повышает производительность, однако, складывая может вызвать дрожание цикла. Если задача должна избежать дрожания, установите DISFOLD бит в 1 перед выполнением задачи, чтобы отключить его складываемость.

Бит 1 DISDEFWBUF

Этот бит влияет только буферы записи, реализованные в процессоре Cortex-M4.

Запрещает написание и использование буфера во время карты памяти по умолчанию доступ: При этом все BusFaults, чтобы быть точным BusFaults, но снижает производительность, так как в любом магазине в память должна быть завершена до процессор может выполнять следующую команду.

0: Включить использование буфера записи: сохранение в памяти до следующей команды.

1: Отключить использование буфера записи.

Бит 0 DISMCYCINT

Отключение прерываний инструкций мульти-цикла. Когда установлено в 1, отключает прерывания загрузки и хранить несколько инструкций. Это увеличивает задержки при обработке прерываний процессора, потому что любая LDM или STM должна быть завершена до процессор может складывать текущее состояние и войти в проводник прерываний.

0: Включение задержки прерывания процессора (загрузки / сохранения и умножения / разделяя операции).

1: Отключение задержки прерываний.

4.4.2 CPUID базовый регистр (CPUID)

Смещение Адрес: 0x00

Значение сброса: 0x410F C241

Требуемое привилегия: привилегированный

регистров CPUID содержит процессор номер детали, версия, и информация о реализации.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Реализация								Вариант				Постоян ная			
г	г	г	г	г	г	г	г	г	г	г	г	г	г	г	г
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Часть не												Редакци я			

r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

Bits 31:24 Implementer: Implementer code

0x41: ARM

Bits 23:20 Variant: Variant number

The r value in the rnpn product revision identifier

0x0: revision 0

Биты 19:16 Константа: Изложить в 0xF

Биты 15: 4 PARTNO: Номер детали процессора

0xC24: = Cortex-M4

Биты 3: 0 Редакция: номер версии

Значение r в rnpn идентификатором пересмотра продукт, указывает релиза патча.

0x1: = патч 1

4.4.3 Прерывание управления и регистра состояния (ICSR)

Смещение Адрес: 0x04

Значение сброса: 0x0000 0000

Требуемое привилегия: привилегированный

ICSR:

- Обеспечивает:
 - Установка до бит для Немаскируемое прерывания (NMI) за исключением
 - Установите на рассмотрении и четкие рассмотрении битов для исключения PendSV и SysTick
- Показывает:
 - Исключение количество кроме обрабатываемых
 - Есть ли загружаемые активные исключения
 - Исключение число с наивысшим приоритетом отложенного исключением
 - Есть ли какие-либо прерывания находятся на рассмотрении.

Внимание: Когда вы пишете в ИКСИ, эффект непредсказуем, если вы:

- Запись 1 в бит PENDSVSET и писать 1 в бит PENDSVCLR
- Запись 1 в бит PENDSTSET и писать 1 в бит PENDSTCLR.

Определение				PENDSVSET	PENDSVCLR	PENDSTSET	PENDSTCLR				ISR_PENDING				VECTPENDING[6:4]		
rw	зарезервированный			rw	w	rw	w	Зарезервированный			r	Зарезервированный			r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

VECTPENDING[3:0]					RETOBASE	Зарезервированный		VECTACTIVE[8:0]							
r	r	r	r	r				rw	rw	rw	rw	rw	rw	rw	rw

Бит 31 **NMIPENDSET**: NMI набор на рассмотрении бита.

Написать:

0: Отсутствие эффекта

1: Изменение NMI состояние исключения в ожидании.

0: NMI исключение не до

1: NMI Исключение составляет до

Поскольку NMI является наивысшим приоритетом исключением, как правило, процессор ввода обработчик исключений NMI, как только он регистрирует написание и от 1 до этого бита, и ввод обработчик очищает этот бит в 0. При чтении этого бита в обработчик исключений NMI возвращает 1, только если сигнал NMI сигнал снова в то время как процессор выполняет этот обработчик.

Биты 30:29 защищены

Бит 28 **PENDSVSET**: PendSV установить на рассмотрении немного.

Написать:

0: Отсутствие эффекта

1: Изменение PendSV исключение государство еще не принято. Читайте:

0: PendSV исключение не до

1: PendSV Исключение составляет до

Написание 1 этого бита является единственным способом установить состояние исключения PendSV в ожидании.

Бит 27 **PENDSVCLR**: PendSV ясно рассмотрении бита. Этот бит только для записи. На чтения, значение неизвестно.

0: Отсутствие эффекта

1: Удаляет состояние ожидания от исключения PendSV.

Бит 26 PENDSTSET: SysTick исключение установить на рассмотрении немного.

Написать:

0: Отсутствие эффекта

1: Изменение SysTick государство исключение до

Читайте:

0: SysTick исключение не до

1: SysTick Исключение составляет до

Бит 25 PENDSTCLR: SysTick исключением четко до бита. Только запись. На чтения, значение неизвестно.

0: Отсутствие эффекта

1: Удаляет состояние ожидания от исключения SysTick.

Бит 24 защищены, должны быть очищены.

Бит 23 Бит зарезервированы для использования Debug и читает-как-ноль, когда процессор не в Debug.

Бит 22 ISR_PENDING: прерывание флаг отложенного, за исключением НМИ и недостатки.

0: Прерывание не до

1: Прерывание до

Биты 21:19 защищены, должны быть всегда очищены.

Биты 18:12 VECT_PENDING: В ожидании вектора. Указывает Номер-исключение из наиболее приоритетных отложенного позволило исключения.

0: нет отложенных исключения

Другие значения: Номер-исключение из наиболее приоритетных отложенного позволило исключения. Значение, указанное в этой области включает в себя эффект регистров BASEPRI и FAULTMASK, но не какой-то эффект регистра PRIMASK.

Бит 11 RETTOBASE: Возвращение в базовый уровень. Указывает ли загружаемые активные исключения:

0: Там загружаемые активные исключения для выполнения

1: Там нет активных исключений, или в настоящее время исполнительной Исключением является единственным активным исключением.

Бит 10: 9 зарезервировано

Биты 8: 0 VECTACTIVE Активный вектор. Содержит активный номер исключения:

0: Режим Автор

Другие значения: исключение номер (1) активного в данный момент исключения.

Примечание: Вычитите 16 из этого значения, чтобы получить количество CMSIS IRQ, необходимое для индекса в прерывания Clear-Включить, поставить включите Clear-Ожидает, Set-Ожидает, или приоритет регистров, табл 6 на странице 21.

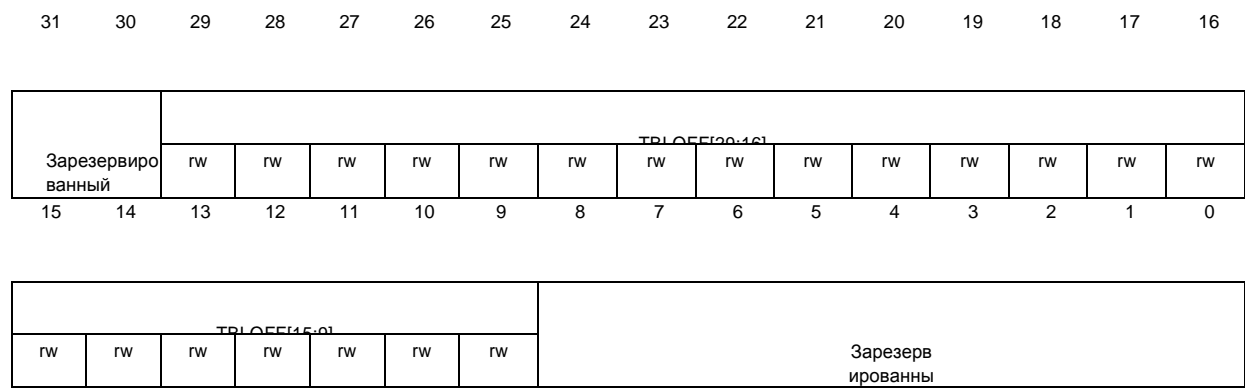
- 1. Это же значение, IPSR битов [8: 0], см состояние прерывания программы зарегистрироваться на странице 21.

4.4.4 Таблица векторов регистр смещения (Втор)

Смещение Адрес: 0x08

Значение сброса: 0x0000 0000

Требуемое привилегия: привилегированный



Биты 31:30 защищены, должны быть всегда очищены

Биты 29: 9 TBLOFF: Вектор таблицы базовое смещение поля.
Он содержит битов [29: 9] Смещение базовой таблицы с адреса памяти 0x00000000. При установке TBLOFF необходимо согласовать смещение количеству записей исключений в таблице векторов. Минимальная выравнивание 128 слов. Требования Выравнивание таблицы означает, что биты [8: 0] таблицы смещения всегда равны нулю.
Бит 29 определяет, является ли таблица векторов в кодовой или SRAM области памяти.
0: Код
1: SRAM

Примечание: Бит 29 иногда называют TBLBASE бита.

Биты 8: 0 защищены, должны быть всегда очищены

4.4.5 прерывание приложений и сброс регистры управления (AIRCR)

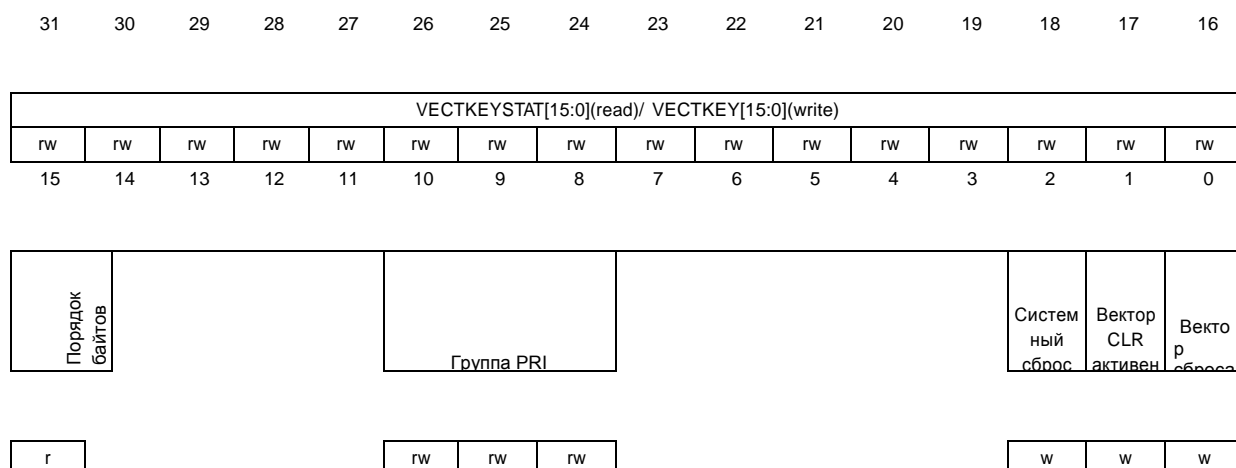
Смещение Адрес: 0x0C

Значение сброса: 0xFA05 0000

Требуемое привилегия: привилегированный

AIRCR обеспечивает приоритетных управление группировки для модели исключений, младшему статус доступ к данным, и сбросить контроль над системой.

Для записи в этот регистр, необходимо написание и 0x5FA в поле VECTKEY, в противном случае процессор игнорирует записи.



Биты 31:16 VECTKEYSTAT / VECTKEY Регистрация ключа

Изложить в 0xFA05

На записи, писать 0x5FA в VECTKEY, в противном случае написание и игнорируется.

Битовый 15 ENDIANESS Data порядка байтов

Изложить в 0.

0: прямой порядок байтов

Биты 14:11 защищены, должны быть всегда очищены

Биты 10: 8 PRIGROUP: приоритетом прерывания группировка полей

Это поле определяет разделение группы приоритет по subpriority см двоичной точки на странице 213.

Биты 7: 3 резерв, должны быть всегда очищены

Бит 2 SYSRESETREQ запрос на сброс системы

Это предназначено, чтобы заставить большой сброс системы всех основных компонентов для отладки исключением. Этот бит читается как 0.

0: Не запроса перезагрузка системы

1: заявляет, сигнал на внешней системе, который запрашивает сброс.

Бит 1 VECTCLRACTIVE

Зарезервировано для использования в Debug. Этот бит читается как 0. При записи в регистр необходимо написание и 0 в этот бит, в противном случае поведение непредсказуемо.

Бит 0 VECTRESET

Зарезервировано для использования в Debug. Этот бит читается как 0. При записи в регистр необходимо написание и 0 в этот бит, в противном случае поведение непредсказуемо.

Binary точка

Поле PRIGROUP указывает положение двоичной точки, который разделяет поля PRI_n в приоритетных регистрах прерываний в отдельные приоритетных группы и subpriority полей. Таблица 51 показывает, как элементы управления PRIGROUP значение этого раскола.

Если вы реализуете менее 8 биты приоритета может потребоваться больший объяснение здесь, и вы хотите, чтобы удалить недопустимые строки из таблицы и изменять записи в число столбцов.

Таблица 51. Приоритет группировки

	Значение прерывания, уровень приоритета, PRI_N [7: 4]	Количество
--	---	------------

Двоичной точки [2:0]	Двоичной точки (1) ⁽¹⁾	Приоритетная группа битов	Подразделы битов приоритета	Приоритеты группы	Подразделы приоритетов
0b011	0bxxxx	[7:4]	Нет	16	Нет
0b100	0bxxx.y	[7:5]	[4]	8	2
0b101	0bxx.yy	[7:6]	[5:4]	4	4
0b110	0bx.yyy	[7]	[6:4]	2	8
0b111	0b.yyyy	Нет	[7:4]	Нет	16

1. PRI_n [7: 4] поля, показывающий двоичной точки. x обозначает группу приоритетных направлений немного, и y обозначает суб приоритет битового поля.

Определение преимущественного применения исключения использует только поле приоритета группы, см раздел 2.3.6: приоритетом прерывания группировку на странице 40.

4.4.6 регистры управления системы (SCR)

Смещение Адрес: 0x10

Значение сброса: 0x0000 0000

Требуемое привилегия: привилегированный

SCR контролирует особенности въезда и выезда из состояния пониженного энергопотребления.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Зарезервированы															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Зарезервированы											SEVONPEND	Res.	СОН ГЛУБ	Сон при выходе	Res.
											rw		rw	rw	

Биты 31: 5 зарезервировано, должно быть очищены

Бит 4 SEVONPEND Отправить событие на ожидании бита

Когда событие или прерывание входит состояние отложенного, сигнал о событии запускается процессор от WFE. Если процессор не ожидает события, событие регистрируется, и влияет на следующий WFE.

Процессор также просыпается от исполнения поручения SEV или внешнее событие 0: только включенные прерывания или события могут спящего режима процессора, прерывания ограничения возможности исключены

1: Включено события, и все прерывания, в том числе прерываний с ограниченными физическими возможностями, могут спящего режима процессора.

Бит 3 Резерв должен быть всегда очищен

Бит 2 SLEEPDEEP

Управление использует ли процессор в режим сна или глубокого сна, как его режим пониженного энергопотребления:

0: Сон

1: Глубокий сон.

Бит 1 SLEEPONEXIT

Настраивает сон-на-выхода при возвращении из режима обработчика в режим нить.

Установка этого бита в

1 дает возможность прерываниям приложение, чтобы избежать возвращения в пустой основного приложения.

0: Не спать при возвращении в режим нить.

1: режим сна или глубокого сна, по возвращении из прерывания обслуживания.

Бит 0 зарезервирован должны храниться очищается

4.4.7 Конфигурация и регистры управления (CCR)

Смещение Адрес: 0x14

Значение сброса: 0x0000 0200

Требуемое привилегия: привилегированный

CCR управляет запись в режим автор и позволяет:

- обработчики для НМИ, жесткий сбоя и ошибок, эскалированных FAULTMASK

игнорировать ошибки шины

- Захват деления на ноль и выровненным обращений

- Доступ к STIR непривилегированными программного обеспечения, см Register

Software триггер прерывания

(NVIC STIR) на стр 201.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Зарезервир																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Зарезервированны						STK вырав	BFHF NMIGN	Зарезервированны				DIV_0_ TRP	UN Выровн	Res.	Набор пользов	без базов ой thrd
						rw	rw					rw	rw		rw	rw

Биты 31:10 защищены, должны быть всегда очищены

Бит 9 STKALIGN

Настройка выравнивания стек на входе исключений. На входе исключений, процессор использует бит 9 пакетного PSR, чтобы указать выравнивание стека. По возвращении из кроме он использует эту сложены немного, чтобы восстановить правильное выравнивание стека.

0: 4 байта с выравниванием

1: 8 байт неприсоединения

Бит 8 BFHFNMIGN

Включает обработчики с приоритетом -1 или -2 игнорировать ошибки шины данных, вызванной загрузки и сохранения. Это относится и к жестким ошибкам, НМИ, а FAULTMASK обострилась обработчики. Установите этот бит в 1 только тогда, когда проводник и его данные находятся в абсолютно безопасной памяти.Нормальное использование этого бита, чтобы исследовать системные устройства и мосты, чтобы обнаружить управления проблем с путями и исправлять их.

0: ошибки шины данных, вызванной загрузки и сохранения вызвать блокировки,

1: Обработчики, работающие с приоритетом -1 и -2 игнорировать ошибки шины данных, вызванные загрузки и сохранения.

Биты 7: 5 резерв, должны быть всегда очищены

Бит 4 DIV_0_TRP

Позволяет неисправность или прекращение когда процессор выполняет SDIV или инструкции UDIV с делителем 0:

0: Не ловушка деления на 0

1: Ловушка деления на 0.

Когда этот бит установлен в 0, деление на ноль возвращает частное 0.

Бит 3 UNALIGN_ГТО

Включает невыровненные ловушки доступа:

0: Не ловушку нарушиться полуслов и слово доступы

1: Ловушка нарушиться полуслова и слова доступ.

Если этот бит установлен в 1, выровненным доступа генерирует ошибку использования.

Невыровненный LDM, STM, LDRD и инструкции StrD всегда вина, независимо от того, UNALIGN_TRP установлен в 1.

Бит 2 зарезервирован должны храниться очищается

Бит 1 USERSETMPEND

Позволяет непривилегированную доступ к программному обеспечению на Перемешать, см программного обеспечения регистров триггер прерывания

(NVIC_STIR) на стр 201:

0: Отключить

1: Включить.

Бит 0 NONBASETHRDENA

Настраивает процессор переходит в режим темы.

0: Процессор может войти в режим темы только тогда, когда исключение не является активным.

1: Процессор может войти в режим потока из любого уровня под контролем

EXC_RETURN

значение, см исключение Вернуться на страницу 43.

4.4.8 обработчика системного Приоритетная регистров (SHPRx)

Регистры SHPR1-SHPR3 установить уровень приоритета, от 0 до 255 обработчиков исключений, которые имеют настраиваемый приоритет.

SHPR1-SHPR3 являются байт доступны.

Обработчики сбоев системы и поля приоритета и регистрации в каждом проводник являются:

Таблица приоритетных направлений обработчик ошибок 52. Системные

Обрабо тчик	Поле	Регистр описания
Неисправность Управление	PRI_4	Обработчик системного Приоритетного
Неисправность Шины	PRI_5	
Неисправность	PRI_6	
SVC все	PRI_11	Обработчик системного Приоритетного регистра 2 (SHPR2) на стр 217
PendSV	PRI_14	Обработчик системного Приоритетного регистра 3 (SHPR3) на стр 218
SysTick	PRI_15	

Каждый PRI_N поле шириной 8 битов, а процессор реализует только биты [7: 3] для каждого поля, и битов [3: 0] читать как ноль, и игнорировать пишет (где M = 4).

Обработчик системного Приоритетного регистра 1 (SHPR1)

Смещение Адрес: 0x18
 Значение сброса: 0x0000 0000
 Требуемое привилегия: привилегированный

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Зарезервированный								PRI_6[7:4]				PRI_6[3:0]			
								rw	rw	rw	rw	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

PRI_5[7:4]				PRI_5[3:0]				PRI_4[7:4]				PRI_4[3:0]			
rw	rw	rw	rw	r	r	r	r	rw	rw	rw	rw	r	r	r	r

Биты 31:24 защищены, должны быть всегда очищены
 Биты 23:16 PRO_6: Приоритет обработчика системного 6, ошибкам использования
 Биты 15: 8 PRI_5: Приоритет проводник система 5
 Биты 7: 0 PRI_4: Приоритет обработчика системного 4, ошибка в управлении памятью
 Обработчик системного Приоритетного регистра 2 (SHPR2)
 Адрес смещения: Значение сброса 0x1C: 0x0000 0000
 Требуемое привилегия: привилегированный

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

PRI_11[7:4]				PRI_11[3:0]				Зарезервированный							
rw	rw	rw	rw	r	r	r	r								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Биты 31:24 PRI_11: Приоритет проводник системы 11, SVCall

Биты 23: 0 зарезервировано, должно быть очищены

Обработчик системного Приоритетного регистра 3 (SHPR3)

Адрес: 0xE000 ED20

Значение сброса: 0x0000 0000

Требуемое привилегия: привилегированный

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

PRI_15[7:4]				PRI_15[3:0]				PRI_14[7:4]				PRI_14[3:0]			
rw	rw	rw	rw	r	r	r	r	rw	rw	rw	rw	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Биты 31:24 PRI_15: Приоритет проводник системы 15, SysTick исключений

Биты 23:16 PRI_14: Приоритет проводник системы 14, PendSV

Биты 15: 0 зарезервировано, должно быть очищены

4.4.9 Система и регистра состояния (SHCSR)

Смещение Адрес: 0x24

Значение сброса: 0x0000 0000

Требуемое привилегия: привилегированный

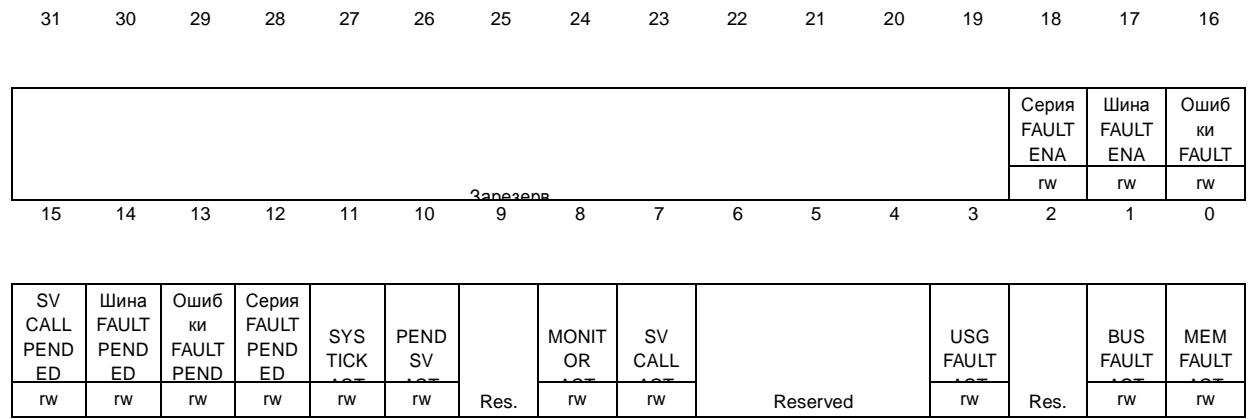
SHCSR позволяет обработчики системных и указывает:

- до состояния шины ошибкам, ошибкам управления памятью и SVC исключений
- активное состояние из обработчиков системы.

Если отключить проводник системы и происходит соответствующая неполадка, процессор обрабатывает ошибкам, жесткий неисправности.

Вы можете написать в этот регистр, чтобы изменить или незавершенных активное состояние системных исключений. Ядро ОС может записывать активных битов для выполнения переключения контекста, который изменяет текущий тип исключения.

- Программное обеспечение, которое изменяет значение активного бит в этом регистре без правильной настройки на сложной содержания может привести к процессору генерировать исключение ошибки. Убедитесь, программное обеспечение, которое записывает в этот регистр сохраняет и впоследствии восстанавливает текущий активный статус.
- После включения обработчики системе, если у вас есть, чтобы изменить значение бита в этот регистр необходимо использовать процедуру чтение-модификация-запись для того, чтобы изменить только требуемый бит.



Биты 31:19 защищены, должны быть всегда очищены

Бит 18 USGFAULTENA: ошибкам Использование бит разрешения, устанавливается в 1, чтобы включить (1)

Бит 17 BUSFAULTENA: ошибкам Шины позволяют немного, установлен в 1, чтобы включить (1)

Бит 16 MEMFAULTENA: ошибкам управления памятью позволяют немного, установлен в 1, чтобы включить (1)

Бит 15 SVCALLPENDEDED: SVC вызов в ожидании бит, читает как 1, если исключение до (2)

Бит 14 BUSFAULTPENDEDED: Шина исключение ошибки до бит, читает как 1, если исключение до (2)

Бит 13 MEMFAULTPENDEDED: Управление памятью исключение ошибки ожидании бит, читает как 1, если исключение до (2)

Бит 12 USGFAULTPENDEDED: Использование исключение ошибки до бит, читает как 1, если исключение до (2)

Бит 11 SYSTICKACT: SysTick исключением Активный бит, читается как 1, если исключение является активным (3)

Бит 10 PENDSVACT: PendSV исключением Активный бит, читается как 1, если исключение является активным

Бит 9 Зарезервировано, должно быть всегда очищен

Бит 8 MONITORACT: монитор отладки активное немного, читает как 1, если Debug монитор работает,

Бит 7 SVCALLACT: SVC активного вызова бит, читает как 1, если SVC активного вызова

Биты 6: 4 резерв, должны быть всегда очищены

Бит 3 USGFAULTACT: Использование исключение ошибки Активный бит, читается как 1, если исключение является активным

Бит 2 зарезервирован должны храниться очищается

Бит 1 BUSFAULTACT: Шина исключение ошибки Активный бит, читается как 1, если исключение является активным

Бит 0 MEMFAULTACT: Память исключение ошибки управления Активный бит, читается как 1, если исключение является активным

1. Включите биты, установленные в 1 для того, чтобы исключение или установить в 0, чтобы отключить исключение.

2. До битов, читается как 1, если исключение не принято, или как 0, если она не завершено. Вы можете написать эти биты, чтобы изменить ожидании статуса исключения.

2. Активные битов, читать как 1, если исключение является активным, или 0, если он не является активным. Вы можете написать эти биты, чтобы изменить активный статус исключений, но увидеть Внимание в этом разделе.

4.4.10 Настраиваемые регистры состояния неисправности (CFSR; UFSR + BFSR + MMFSR)

Смещение Адрес: 0x28

Значение сброса: 0x0000 0000

Требуемое привилегия: привилегированный

В следующих разделах описываются подрегистры, которые составляют CFSR:

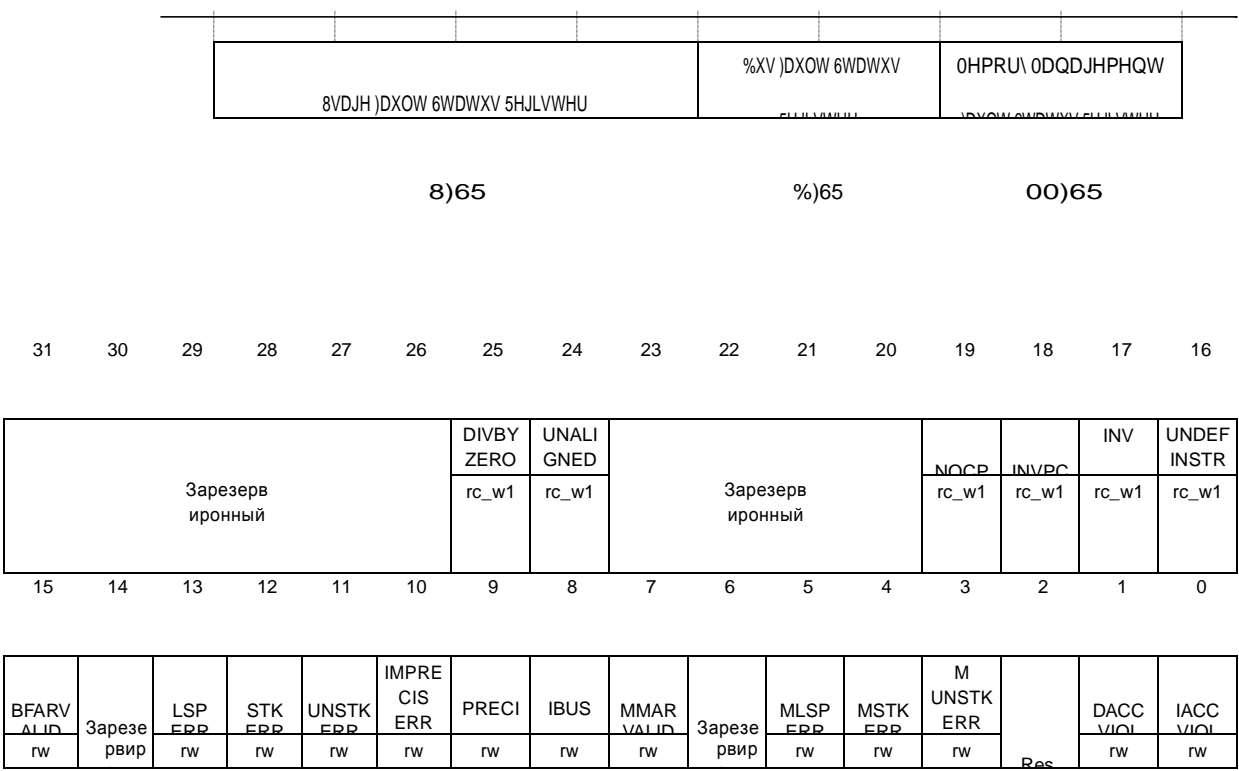
- регистры состояния ошибок Использование (UFSR) на стр 222
- регистры состояния ошибок шины (BFSR) на странице 223
- регистра Управление памятью адреса ошибки (MMFSR) на стр 224

CFSR является байт доступны. Вы можете получить доступ к CFSR или его подрегистры следующим образом:

- Доступ к полной CFSR с доступом слово, чтобы 0xE000ED28
- Доступ к MMFSR с доступом байт до 0xE000ED28
- Доступ MMFSR и BFSR с полуслова доступа к 0xE000ED28
- Доступ к финансовой устойчивости банка с доступом байт до 0xE000ED29
- Доступ к UFSR с полуслова доступа к 0xE000ED2A.

CFSR указывает причину неисправности управления памятью, неисправность шины или ошибок использования.

Рисунок 20. CFSR подрегистры



Биты 31:16 UFSR: см регистры состояния ошибок Использование (UFSR) на стр 222

Биты 15: 8 Рейтинг шины устойчивости см регистры состояния ошибок шины (BFSR) на странице 223

Биты 7: 0 MMFSR: см Управление памятью адреса ошибки регистра (MMFSR) на стр 224

4.4.11 Использование регистры состояния неисправности (UFSR)

Биты 31:26 защищены, должны быть всегда очищены

Бит 25 DIVBYZERO: Деление на ноль ошибок использования. Когда процессор устанавливает этот бит на 1, значение PC сложены для возвращенных исключение указывает на инструкцию, которая исполнила деление на ноль. Включить захват деления на ноль, установив DIV_0_TRP бит в CCR на 1 см

Настройка и управление регистра (CCR) на стр 215.

0: Не деления на ноль ошибок, или деления на ноль не захвата не включена

1: процессор выполнил SDIV или инструкции UDIV с делителем 0.

Бит 24 UNALIGNED: ошибок использование Невыровненный доступа. Включить захват выровненным обращений, установив UNALIGN_TRP бит в CCR в 1 см Настройка и управление регистр (CCR) на стр 215.

Невыровненный LDM, STM, LDRD и инструкции StrD всегда ошибок, независимо от установки

UNALIGN_TRP.

0: Не нарушиться ошибок доступ, или выровненным доступа не пленения не включена

1: процессор сделал невыровненный доступ к памяти.

Биты 23:20 защищены, должны быть всегда очищены

Бит 19 NOCP: Нет отказа использование сопроцессора. Процессор не поддерживает инструкции сопроцессора:

0: Не ошибок использования вызвано попыткой получить доступ к сопроцессор

1: процессор пытается получить доступ к сопроцессор.

Бит 18 INVPC: сбой загрузка памяти ПК, вызвана неверной нагрузки на компьютер с помощью EXC_RETURN:

Когда этот бит установлен в 1, значение PC сложены для исключения возврата очков с инструкцией, которая пыталась выполнить незаконное нагрузку на ПК.

0: Не действительным PC ошибок загрузка памяти

1: процессор предпринял попытку незаконного нагрузку EXC_RETURN к компьютеру, а в результате неверном контексте или недопустимое значение EXC_RETURN.

Бит 17 INVSTATE: недопустимое состояние ошибок использования. Когда этот бит установлен в 1, значения PC сложены для исключения возврата очков с инструкцией, которая пыталась незаконного использования EPSR.

Этот бит не установлен в 1, если не определено инструкция использует EPSR.

0: Не недопустимое состояние ошибок использования

1: процессор пытается выполнить команду, которая делает незаконное использование EPSR.

Бит 16 UNDEFINSTR: Undefined инструкция ошибок использования. Если этот бит установлен в 1, то значения PC сложены для исключения возврата указывает на неопределенной команды.

Не определено инструкция инструкция, процессор не может декодировать.

0: Не неопределенным инструкция ошибок использования

1: процессор пытается выполнить неопределенную команду.

4.4.12 Шины регистры состояния неисправности (BFSR)

Бит 15 BFARVALID: Шина повреждения Адрес регистра (BFAR) действительный флаг. Процессор устанавливает этот бит на 1 после ошибки шины, где-адрес известен. Другие неисправности может установить этот бит в 0, такие как ошибок управления памятью происходит позже.

Если ошибок шины происходит и переросла в жесткий ошибок из-за Приоритетного, проводник трудно ошибок должны установить этот бит в 0. Это предотвращает проблемы, если вернуться к укладываются обработчике ошибок шины в активной которого BFAR значения были перезаписаны.

0: Значение в BFAR не действительный адрес ошибок

1: BFAR имеет действительный адрес ошибки.

Бит 14, должны быть всегда очищены

Бит 13 LSPERR: ошибок Шины с плавающей точкой сохранения ленивый состояния.

0: не произошло ошибок шины во время плавающей точкой сохранения ленивый состояния.

Произошло ошибок шины во время плавающей точкой ленивый сохранения состояние: 1

Бит 12 STKERR: ошибок Шины по укладке для вступления исключений. Когда процессор устанавливает этот бит в 1, SP-прежнему регулируется, но значения в контексте области в стеке может быть неправильным. Процессор не написать адреса ошибки в BFAR.

0: Не дефект упаковки

1: Штабелеры для записи исключений вызвал один или несколько ошибок шины.

Бит 11 UNSTKERR: ошибкам Шины на Расшатывочная для возвращения из исключения. Эта ошибка прикован к проводнику. Это означает, что, когда процессор устанавливает этот бит в 1, оригинальный возврат стека все еще присутствует. Процессор не регулирует SP с неисправного свою очередь, не выполняется новая сохранять и не написать адреса ошибки в BFAR.

0: Не Расшатывочная ошибкам

1: поместить значение для возвращения исключения вызвало один или несколько неисправностей шины.

Бит 10 IMPRECISERR: Неточный ошибка шины данных. Когда процессор устанавливает этот бит в 1, это не написать адреса ошибки в BFAR. Это асинхронный вина. Поэтому, если обнаруживается, когда приоритет текущего процесса выше, чем приоритет ошибкам шины, ошибкам шины переходит в режим ожидания и становится активным только тогда, когда процессор возвращается из всех высших Приоритетного процессов. Если точное неисправности до того, как процессор входит обработчик для неточного ошибкам шины, обработчик обнаруживает как IMPRECISERR установлен в 1, и один из точных битов состояния ошибкам устанавливается в 1.

0: Не неточным ошибка шины данных

1: ошибка шины данных произошла, но обратный адрес в кадре стека не связана с инструкцией, который вызвал ошибку.

Бит 9 PRECISERR: Точная ошибка шины данных. Когда наборы процессоров этот бит равен 1, это пишет адрес, вызвавший отказ в BFAR.

0: Не точной ошибка шины данных

1: ошибка шины данных произошла, и значение PC сложены для возвращенных исключение указывает на инструкцию, вызвавшую ошибку.

Бит 8 IBUSERR: ошибка шины по эксплуатации. Процессор обнаруживает ошибку шины Инструкция по предварительной выборки инструкции, но он устанавливает IBUSERR флаг на 1, только если он пытается выдать вызвавшую ошибку инструкцию.

Когда наборы процессоров этот бит равен 1, это не написать адреса ошибки в BFAR.

0: Нет ошибок эксплуатации шин

1: ошибка шины по эксплуатации.

4.4.13 памяти адреса ошибки управления регистра (MMFSR)

Бит 7 MMARVALID: неисправность Управление памятью адресный регистр (MMAR) действительный флаг. Если ошибкам управление памятью происходит и переросла в жестких ошибках из-за Приоритетного, проводник сложно неисправности должны установить этот бит в 0. Это предотвращает проблемы при возвращении на сложных активного обработчике ошибок управления памятью которого MMAR значение были перезаписаны.

0: Значение в MMAR не действительный адрес ошибкам

1: MMAR имеет действительный адрес ошибки.

Бит 6 Зарезервировано, должно быть всегда очищен

Бит 5 MLSPERR:

Произошёл сбой He MemManage во плавающей точкой ленивый сохранения состояние: 0

Произошло ошибкам MemManage во плавающей точкой ленивый сохранения состояние: 1

Бит 4 MSTKERR: Память ошибкам менеджер по укладке для вступления исключений. Когда этот бит равен 1, SP-прежнему регулируется, но значения в контексте области в стеке может быть неправильным.Процессор не написал адреса ошибки в MMAR.

0: Не дефект упаковки

1: Штабелеры для записи исключений вызвал один или несколько нарушений доступа.

Бит 3 MUNSTKERR: менеджер памяти неисправностей на Расшахтовочная для возвращения из исключения. Эта ошибка прикован к проводнику. Это означает, что, когда этот бит равен 1, оригинальный возврат стека все еще присутствует.Процессор не поправил ИП от неисправного возвращения, и не выполнил новый спасти.Процессор не написал адреса ошибки в MMAR.

0: Не Расшахтовочная ошибкам

1: поместить значение для возвращения исключения вызвало один или несколько нарушений доступа.

Бит 2 зарезервирован должны храниться очищается

Бит 1 DACCVIOL: Данные флаг нарушение прав доступа. Если этот бит равен 1, то значение PC сложены для возврата исключением указывает на вызвавший инструкции.Процессор загружен MMAR с адресом попытки доступа.

0: Не доступа к данным ошибкам нарушение

1: процессор попытку загрузки или хранения в месте, не допускает операции.

Бит 1 IACCVIOL: флаг нарушение прав доступа по эксплуатации. Эта ошибка возникает в любой доступа к XN регионе, даже MPU отключен или нет.

Если этот бит равен 1, то значение PC сложены для возврата исключением указывает на вызвавший инструкции.Процессор не написал адреса ошибки в MMAR.

0: Никакая инструкция ошибкам нарушение прав доступа

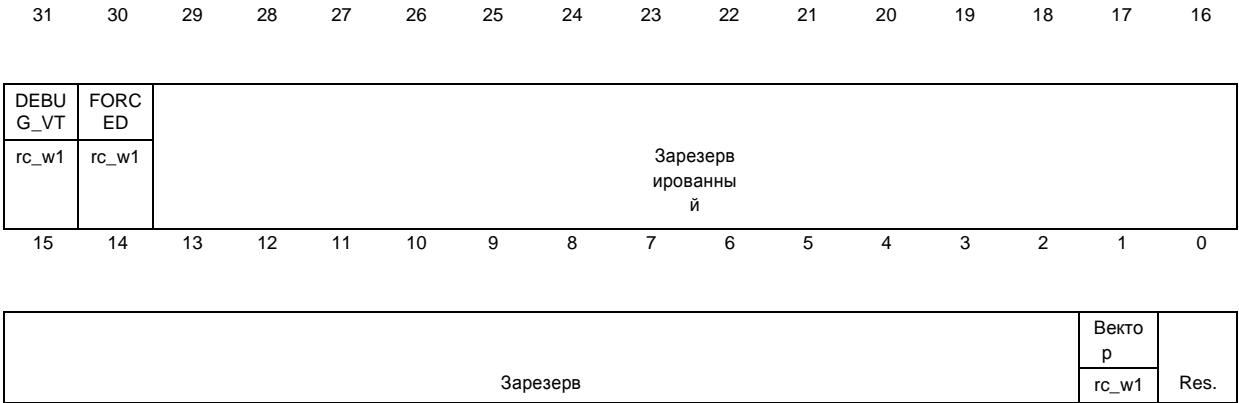
1: процессор пытался выборки команд из места, которые не допускают выполнение.

4.4.14 Жесткие регистры состояния неисправности (HFSR)

Адрес смещения: Значение сброса 0x2c: 0x0000 0000

Требуемое привилегия: привилегированный

HFSR дает информацию о событиях, которые активируют обработчик сложно неисправности. Этот регистр читать, писать, чтобы очистить. Это означает, что биты в регистра чтения обычно, но писать на любой один бит очищает этот бит в 0.



Бит 31 DEBUG_VT: Зарезервировано для отладки использования. При записи в регистр необходимо записать 0 в этот бит, в противном случае поведение непредсказуемо.

Бит 30 вынужденным: принудительные неисправность. Указывает принудительные вина, порожденная эскалации неисправности с настраиваемые приоритеты, которые не могут быть ручки, либо из-за Приоритетного или потому, что она отключена.

Когда этот бит установлен в 1, проводник сложно неисправность должна прочесть другие регистры состояния неисправности, чтобы найти причину неисправности.

0: Не принудительные неисправности

1: принудительные вина.

Биты 29: 2 зарезервировано, должно быть очищены

Бит 1 VECTTBL: таблица векторов сложно вина. Указывает на неисправность автобуса на вектор читаемой таблицы, при обработке исключений. Эта ошибка всегда обрабатываются обработчиком сложно отказа.

Когда этот бит установлен в 1, значение PC сложены для исключения возврата указывает на инструкцию, которая была вытеснена исключения.

0: нет автобуса неисправности таблицы векторов не читать

1: Шина неисправности таблицы векторов читать.

Бит 0 зарезервирован должны храниться очищается

4.4.15 памяти адреса ошибки управления регистра (MMFAR)

Смещение Адрес: 0x34

Значение сброса не определено

Требуемое привилегия: привилегированный

MMFAR[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

MMFAR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Биты 31: 0 MMFAR: Память адреса ошибки управления

Когда MMARVALID бит MMFSR установлен в 1, это поле содержит адрес ячейки, который сгенерировал ошибка в управлении памятью.

Когда выровненным неисправностей доступа, адрес фактический адрес, нарушенными. Потому что единственный чтения или написание и команда может быть разбита на несколько выравнивается обращений, адреса ошибки может быть любой адрес в диапазоне от требуемого размера доступа.

Флаги в регистре MMFSR указать причину неисправности, и будет ли значение в MMFAR действует. См Настраиваемый регистры состояния неисправности (CFSR; UFSR + BFSR + MMFSR) на стр 221.

4.4.16 Шины адреса ошибки регистра (BFAR)

Смещение Адрес: 0x38

Значение сброса не определено

Требуемое привилегия: привилегированный

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

BFAR[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

BFAR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Биты 31: 0 BFAR: адрес шины неисправности

Когда BFARVALID бит BFSR установлен в 1, это поле содержит адрес ячейки, который сгенерировал ошибку шины.

Когда невыровненный ошибки доступа адрес в BFAR является одним просьбе инструкции, даже если это не адрес вине.

Флаги в регистре BFSR указать причину неисправности, и будет ли значение в BFAR

действительна. См Настраиваемый регистры состояния неисправности (CFSR; UFSR + BFSR + MMFSR) на стр 221.

4.4.17 Вспомогательные регистры состояния неисправности (AFSR)

Адрес смещения: Значение сброса 0x3C не определено Требуемое привилегия:
привилегированный

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

IMPDEF[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

IMPDEF[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Биты 31: 0 IMPDEF: Реализация определены. AFSR содержит дополнительную информацию неисправности системы. Биты карты к входным AUXFAULT сигналов.

Этот регистр читать, писать, чтобы очистить. Это означает, что биты в регистра чтения обычно, но писать на любой один бит очищает этот бит в 0.

Каждый AFSR бит карты непосредственно к AUXFAULT входом процессора, и один цикл Высокий уровень сигнала на входе устанавливает соответствующий AFSR бит одному. Он остается в 1, пока вы не напишете 1 биту, чтобы очистить его к нулю.

Когда AFSR бит зафиксирован, как один, исключение не возникает. Используйте прерывание, если требуется исключение.

4.4.18 блок управления системой подсказок дизайна и советы

Убедитесь, программное обеспечение использует унифицированных доступов нужного размера доступа к блоку регистров управления системой:

- для CFSR и SHPR1-SHPR3 исключением, он должен использовать выровнены слово доступ
- для CFSR и SHPR1-SHPR3 он может использовать байт или выровненный полуслова или слова обращается.

Процессор не поддерживает невыровненные доступы к системе управления блока регистров. В обработчик ошибок. определить истинный адрес Ошибка в:

1. Прочитайте и сохраните значение MMFAR или BFAR.
2. Прочитайте бит MMARVALID в MMFSR, или бит BFARVALID в BFSR.

MMFAR или BFAR адрес будет использоваться только если этот бит равен 1.

Программное обеспечение должно следовать этой последовательности, потому что другой более высокий приоритет Исключение может изменить значение MMFAR или BFAR. Например, если выше, проводник Приоритетного вытесняет текущий обработчик ошибок, с другой неисправности может изменить значение MMFAR или BFAR.

4.4.19 SCB регистра карты

В таблице приведены показываает управления системного блока карту регистров и сброс значений. Базовый адрес SCB регистра блока 0xE000 ED00 для регистра, описанного в таблице 53.

Смещение	Регистр	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	CPUID	Реализация								Вариант				Постоянный				Часть												Редакции			
		0	1	0	0	0	0	0	1	0	0	0	1	1	1	1	1	1	1	0	0	0	0	1	0	0	0	1	1	0	0	0	1
0x04	Значение ICSR	Зарезервированный				PENDSVSET				Зарезервированный				VECTACTIVE[8:0]								RETOBASE				Зарезервированный							
		0				0				0				0								0				0							
0x08	VTOR	Reserved								TABLEOFF[29:9]												Зарезервированный											
		0								0												0											
0x0C	AIRCR	VECTKEY[15:0]																ENDIANESS				PRIGROUP[2:0]				Зарезервированный							
		1																0				0				0							
0x10	SCR	Зарезервированный																															
		0																															
0x14	CCR	Зарезервированный																															
		1																															
0x18	SHPR1	Зарезервированный								PRI6								PRI5								PRI4							
		0								0								0								0							

Смещение	Регистр	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x1C	SHPR2	PRI11								Зарезерв																							
		0	0	0	0	0	0	0	0																								
	SHPR3	PRI15								PRI14																							

[illegible]

4,5 SysTick таймера (СТК)

Процессор имеет 24-битный таймер системы, SysTick, который отсчитывает от стоимости перезагрузки нулю, перезагружается (обтекает) Значение в регистре STK_LOAD на следующей фронту тактового импульса, то отсчет на последующих часов. Когда процессор останавливается для отладки счетчик не ДЕКРЕМЕНТ.

Таблица 54. Сведения о системе Регистры таймера

Адрес	Имя	Тип	Требуемое привилегии	Значение	Описание
0xE000E010	STK_CTRL	RW	Привилегир	0x00000000	<i>SysTick управления и регистры состояния (STK_CTRL)</i>
0xE000E014	STK_LOAD	RW	Привилегир	Нет	<i>SysTick перезагрузки значение регистра (STK_LOAD) на стр 232</i>
0xE000E018	STK_VAL	RW	Привилегир	Нет	<i>SysTick текущего учета стоимости (STK_VAL) на стр 233</i>
0xE000E01C	STK_CALIB	RO	Привилегир	0xC0000000	<i>SysTick калибровки значение регистра (STK_CALIB)</i>

4.5.1 SysTick управления и состояния регистра (STK_CTRL)

Смещение Адрес: 0x00

Значение сброса: 0x0000 0000

Требуемое привилегия: привилегированный

Регистр SysTick CTRL позволяет функции SysTick

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Зарезервирован															COUNT FLAG
															rw

Зарезервированны												CLKS OURCE	TICK INT	EN ABLE
												rw	rw	rw

Биты 31:17 защищены, должны быть всегда очищены.

Бит 16 COUNTFLAG:

Возвращает 1, если таймер досчитал до 0, так как в последний раз это было прочитано.

Биты 15: 3 резерв, должны быть очищены.

Бит 2 CLKSOURCE: Часы Выбор источника

Выбор источника синхронизации.

0: АОВ / 8

1: Тактовая частота процессора (АОВ)

Бит 1 TICKINT: Запрос SysTick исключение включить

0: Обратный отсчет до нуля не утверждает запрос кроме SysTick

1: обратный отсчет до утверждает запрос кроме SysTick.

Примечание: Программное обеспечение можно использовать COUNTFLAG, чтобы определить, SysTick когда-либо досчитал до нуля.

Бит 0 ВКЛ: Counter включить

Включает счетчик. Когда Включить установлен в 1, счетчик загружается значение перезагрузки из реестра нагрузки и затем в обратном порядке. При достижении 0, он устанавливает COUNTFLAG к 1 и, возможно, утверждает SysTick в зависимости от значения TICKINT. Затем она загружает значение перезагрузки снова, и начинает считать.

0: Counter ограничения возможности

Включен Счетчик: 1

4.5.2 SysTick перезагрузки значение регистра (STK_LOAD)

Смещение Адрес: 0x04

Значение сброса: 0x0000 0000

Требуемое привилегия: привилегированный

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Зарезерв								RELOAD[23:16]							
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RELOAD[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Биты 31:24 защищены, должны быть всегда очищены.

Биты 23: 0 Обновить: значение перезагрузки

регистра Load Определяет начальное значение для загрузки в регистр STK_VAL, когда счетчик включен и когда она достигает 0.

Значение перезагрузки может быть любое значение в диапазоне 0x00000001-0x00FFFFFF. Начальное значение

0 можно, но не имеет никакого эффекта, потому что запрос об исключении SysTick и COUNTFLAG активируются, когда отсчет от 1 до 0.

Значение перезагрузки рассчитывается в соответствии с его использованием:

л Для создания мульти-выстрел таймер с периодом N циклов тактовой, используйте значение перезагрузки N-1. Например, если прерывание SysTick требуется каждые 100 тактовых импульсов, устанавливается RELOAD 99.

L Чтобы доставлять одно SysTick прерывание с задержкой N циклов тактовой используйте Перегрузка значение N. Например, если SysTick прерывания требуется после 100 тактовых импульсов, установите RELOAD до 99.

GED

4.5.3 SysTick текущее значение регистра (STK_VAL)

Смещение Адрес: 0x08

Значение сброса: 0x0000 0000

Требуемое привилегия: привилегированный

[illegible]

Биты 31:24 защищены, должны быть всегда очищены.

Биты 23: 0 ток: Текущее значение счетчика

регистра VAL содержит текущее значение счетчика SysTick. Читает возвращает текущее значение счетчика SysTick.

Запись любого значения очищает поле 0, а также очищает бит в COUNTFLAG

STK_CTRL зарегистрируйтесь, чтобы получить 0.

4.5.4 SysTick калибровки значение регистра (STK_CALIB)

Адрес смещения: Значение сброса 0x0C: 0x00000000

Требуемое привилегия: привилегированный

регистра CALIB указывает свойства калибровки SysTick.

[illegible]

Бит 31 NOREF: NOREF флаг. Изложить в ноль. Указывает, что отдельный опорный тактовый предоставляется.

Частота этих часов является HCLK / 8.

Бит 30 SKEW: SKEW флаг: Указывает, является ли значение TENMS точно. Читает, как один. Значение калибровки для 1 мс неточного времени не известно, потому что TENMS не известно. Это может повлиять на пригодность SysTick как программное обеспечение часов реального времени.

Биты 29:24 защищены, должны быть всегда очищены.

Биты 23: 0 TENMS [23: 0]: Значение калибровки. Указывает значение калибровки, когда счетчик SysTick работает на HCLK макс / 8 в качестве внешнего круглосуточно.Значение зависит от зависимы, пожалуйста, обратитесь к справочному продукта Руководство, раздел SysTick значения калибровки. Когда HCLK запрограммирован на максимальной частоте, период SysTick является 1 мс.

Если калибровка информация не известна, вычислить значение калибровки, требуемого от частоты тактового сигнала процессора или внешним тактовым сигналом.

4.5.5 SysTick дизайн советы и подсказки

SysTick счетчик работает по часам процессора. Если это тактовый сигнал остановился на режиме малой мощности, счетчик SysTick останавливается.

Убедитесь, программное обеспечение использует выровненный слово обращается к доступа к регистрам SysTick.SysTick счетчик перезагружается, и текущее значение определено при сбросе, правильно

Последовательность инициализации для счетчика SysTick является:

- 1. Значение перезагрузки программы.
- 2. Очистить текущее значение.
- 3. Контроль программ и регистра состояния.

4.5.6 SysTick регистра карты

Таблицу, приведенную показывает SysTick регистра карту и обновления значений.Базовый адрес блоке регистров SysTick является 0xE000 E010.

Таблица 55. SysTick регистра карты и сброса значения

Смещ	Регистр	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
0x00	STK_CTRL	Зарезерв																Зарезерв																			
0x04	STK_LOAD	Зарезервирована								ПЕРЕЗАГРУЗ																											
0x08	STK_VAL	Зарезервирована								ТОК [23:0]																											
0x0C	STK_CALIB	Зарезервирована								TENMS[23:0]																											

4.6 плавающей запятой (FPU)

Cortex-M4F FPU выполняет расширение по FPUv4-SP с плавающей точкой.

FPU полностью поддерживает одинарной точностью складывать, вычитать, умножать, делить, умножать и накапливать, а квадратный корень операции. Она также

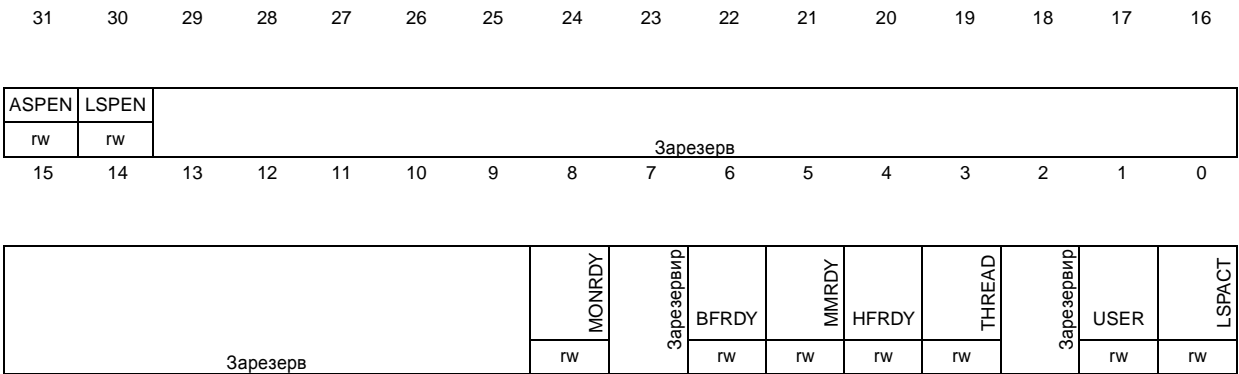
(SCB). Базовый адрес дополнительных регистров для расширения FP является 0xE000FD00.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Зарезерв								CP11	CP10		Зарезерв				
								rw	rw						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Биты 31:24 защищены. Читайте как ноль, напишите Игнорировать.
Биты 23:20 СРП: $[2n + 1: 2n]$ для значений n 10 и 11. привилегий доступа для сопроцессора p . Возможные значения каждого поля:
0b00: Отказано в доступе. Любая попытка доступа формирует NOCP UsageFault.
0b01: Привилегированный доступ только.Непривилегированных доступа генерирует неисправности NOCP.
0b10: Зарезервированный.Результат любого доступа непредсказуемо.
0b11: Полный доступ.
Биты 19: 0 Reserved. Читайте как ноль, напишите Игнорировать.

4.6.2 плавающей точкой регистры управления контекст (FPCCR)

Смещение Адрес: 0x04
Сброс значения: 0xC000000
Требуемое привилегия: привилегированный
В FPCCR наборов регистров или возвращает данные управления FPU.



Бит 31 Aspen: позволяет управлять <2> настройка на выполнение команды с плавающей точкой. Это приводит к автоматическому сохранению государственной оборудования и реставрации, ибо контексте с плавающей точкой, на входе исключения и выхода.
0: отключает контроль <2> настройка на выполнение команды с плавающей точкой.
1 Включение управления <2> настройка на выполнение инструкции с плавающей точкой.
Бит 30 LSPEN:
0: Отключить автоматическое ленивый государственной сохранности для связи с плавающей точкой.
1: Включить автоматическое ленивый государственной сохранности для связи с плавающей точкой.
Биты 29: 9 Reserved.
Бит 8 MONRDY:
0: DebugMonitor отключен или Приоритетного не позволяют настройки MON_PEND, когда было выделено плавающей рамки стека точек.
1: DebugMonitor включен и Приоритетного разрешения установки MON_PEND, когда было выделено плавающей точкой фрейм стека.
Бит 7 Зарезервированный.
Бит 6 BFRDY:
0: BusFault отключен или Приоритетного не позволяют Установка обработчика BusFault в состоянии ожидания, когда было выделено плавающей точкой фрейм стека.
1: BusFault включен и приоритет разрешается Установка обработчика BusFault в состоянии ожидания, когда было выделено плавающей точкой фрейм стека.

Бит 5 MMRDY:

0: MemManage отключен или Приоритетного не позволяют Установка обработчика MemManage в состоянии ожидания, когда было выделено плавающей точкой фрейм стека.

1: MemManage включен и приоритет разрешается Установка обработчика MemManage в состоянии ожидания, когда было выделено плавающей точкой фрейм стека.

Бит 4 HFRDY:

0: Приоритет не позволяют Установка обработчика HardFault в состоянии ожидания, когда было выделено плавающей рамки стека точек.

1: Приоритет разрешается Установка обработчика HardFault в состоянии ожидания, когда было выделено плавающей точкой фрейм стека.

Бит 3 Тема:

0: Режим не Автор режима, когда было выделено плавающей точкой фрейм стека.

1: Режим был Режим поток, когда было выделено плавающей точкой фрейм стека.

Бит 2 Зарезервировано.

Бит 1 Пользователь:

0: уровень привилегий не пользователь, когда было выделено плавающей точкой фрейм стека.

1: Уровень привилегия пользователя при было выделено плавающей точкой фрейм стека.

Бит 1 LSPACT:

0: Ленивый сохранение состояние не является активным.

1: Ленивый сохранение состояние активно. было выделено плавающей точкой фрейм стека, но спасительное состояние к нему была отложена.

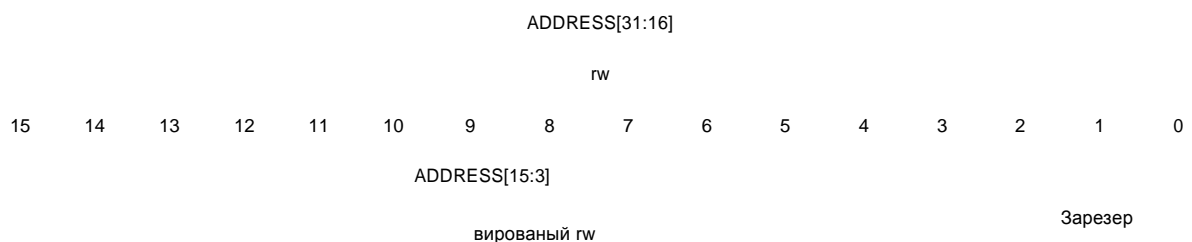
4.6.3 плавающей точкой контекст адрес регистра (FPCAR)

Смещение Адрес: 0x08

Значение сброса: 0x00000000

Требуемое привилегия: привилегированный

регистра FPCAR содержит адрес безлюдной с плавающей точкой регистра пространство, выделенное на кадр стека исключений.



Биты 31: 3 Адрес: Расположение безлюдной с плавающей точкой регистра пространство, выделенное на кадр стека исключений.

Биты 2: 0 защищены. Читайте как ноль, пишет Игнорируется.

4.6.4 плавающей точкой регистры управления состоянием (FPSCR)

Смещение Адрес: Не отображается

Значение сброса: 0x00000000

Требуемое привилегия: привилегированны

регистра FPSCR предоставляет всю необходимую контроль на уровне пользователя системы с плавающей точкой.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
N	Z	C	V	Зарезервирован	AHP	DN	FZ	RMode		Зарезерв					
rw	rw	rw	rw		rw	rw	rw	rw	rw						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Зарезерв					IDC	Зарезервиров		IXC	UFC	OFC	DZC	IOC
					rw			rw	rw	rw	rw	rw

Бит 31 N Код флаг негативном состоянии. Операции сравнения чисел с плавающей точкой обновлять эти флаги. Для получения более подробной информации о результате, обратитесь к таблице 57.

0: Работа результат был положительным, ноль, больше или равно.

1: Операция результат был отрицательным или менее.

Бит 30 Z: Код флаг нуля состояние. Операции сравнения чисел с плавающей точкой обновлять эти флаги. Для получения более подробной информации о результате, обратитесь к таблице 57.

0: результат операции не равен нулю.

1: результат операции равен нулю.

Бит 29 C: Carry код состояния флажка. Операции сравнения чисел с плавающей точкой обновлять эти флаги. Для получения более подробной информации о результате, обратитесь к таблице 57.

0: Добавить работу не привести к бит переноса или вычесть результате операции заема бит.

1: Добавить работу в результате бит переноса или вычесть операции не привели к заема бит.

Bit 28 **V**: Overflow condition code flag. Floating-point comparison operations update this flag. For more details on the result, refer to [Table 57](#).

0: Operation did not result in an overflow

1: Operation resulted in an overflow.

Bit 27 Reserved.

Bit 26 **AHP**: Alternative half-precision control bit:

0: IEEE half-precision format selected.

1: Alternative half-precision format selected.

Bit 25 **DN**: Default NaN mode control bit:

0: NaN operands propagate through to the output of a floating-point operation.

1: Any operation involving one or more NaNs returns the Default NaN.

Bit 24 **FZ**: Flush-to-zero mode control bit:

0: Flush-to-zero mode disabled. Behavior of the floating-point system is fully compliant with the IEEE 754 standard.

1: Flush-to-zero mode enabled.

Bits 23:22 **RMode**: Rounding Mode control field. The specified rounding mode is used by almost all floating-point instructions:

0b00: Round to nearest (RN) mode

0b01: Round towards plus infinity (RP) mode

0b10: Round towards minus infinity (RM) mode

0b11: Round towards zero (RZ) mode.

Bit 21:8 Reserved.

Bit 7 **IDC**: Input denormal cumulative exception bit. Cumulative exception bit for floating-point exception.

1: Indicates that the corresponding exception occurred since 0 was last written to it.

Bit 6:5 Reserved

Bit 4 **IXC**: Inexact cumulative exception bit. Cumulative exception bit for floating-point exception.

1: Indicates that the corresponding exception occurred since 0 was last written to it.

Bit 3 **UFC**: Underflow cumulative exception bit. Cumulative exception bit for floating-point exception.

1: Indicates that the corresponding exception occurred since 0 was last written to it.

Bit 2 **OFC**: Overflow cumulative exception bit. Cumulative exception bit for floating-point exception.

1: Indicates that the corresponding exception occurred since 0 was last written to it.

Bit 1 **DZC**: Division by zero cumulative exception bit. Cumulative exception bit for floating-point exception. 1: Indicates that the corresponding exception occurred since 0 was last written to it.

Bit 0 **IOC**: Invalid operation cumulative exception bit. Cumulative exception bit for floating-point exception. 1: Indicates that the corresponding exception occurred since 0 was last written to it.

Таблица 57. Влияние сравнения с плавающей точкой на условия флагов

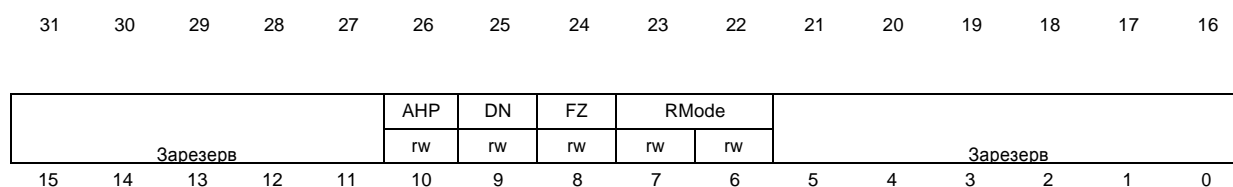
Сравнение	N	Z	C	V
Равный	0	1	1	0
Меньше чем	1	0	0	0
Более	0	0	1	0
Неупорядоченный	0	0	1	1

4.6.5 плавающей точкой регистры управления статуса по умолчанию (FPDSCR)

Адрес смещения: Значение сброса 0x0C: 0x00000000

Требуемое привилегия: привилегированный

регистра FPDSCR имеет значения по умолчанию для данных контроля состояния с плавающей точкой.



Биты 31:27 защищены, должны быть всегда очищены.

Бит 26 МАИ: Значение по умолчанию для FPSCR.AHP

Бит 25 DN: Значение по умолчанию для FPSCR.DN

Бит 24 ФЗ: Значение по умолчанию для FPSCR.FZ

Биты 23:22 RMode: Значение по умолчанию для FPSCR.RMode

Биты 21: 0 забронированных, должны быть очищены.

4.6.6 Включение FPU

FPU отключена от сброса. Вы должны включить его, прежде чем вы можете использовать любые инструкции с плавающей точкой.

Здесь изображен пример кодовой последовательности для включения FPU в обоих привилегированных и пользовательских режимах.Процессор должен быть в привилегированном режиме для чтения и записи в CPACR.

пример

; CPACR находится по адресу 0xE000ED88

LDR.W R0 = 0xE000ED88

; Читайте CPACR

LDR R1, [R0]

; Установить биты 20-23 для того, чтобы CP10 и CP11 сопроцессоры

ЧОО R1, R1, # (0xF << 20)

; Написать обратно измененное значение в CPACR STR R1, [R0]; ждать магазин, чтобы завершить DSB

; трубопровод сброса теперь FPU включена

ISB4.6.7 Включение и клиринговые FPU прерывания исключений

В FPU исключения флаги (IDC, UFC, OFC, DZC и кроме того, в устройствах STM32F3xxx, флаг IXC) являются ORed и подключен к контроллеру прерываний.

В устройствах STM32F4xx там нет индивидуального маски и включить / выключение ПДП прерывание производится на прерывания уровне контроллера.

В устройствах STM32F3xx в дополнение к FPU контроллер прерываний маски прерывания бит, есть индивидуальный бит маски для включения / выключения источников FPU прерываний (флаг IXC маскируется по умолчанию в устройствах STM32F3xx).

Как это происходит очень часто, то флаг IXC исключение не подключен к контроллеру прерываний в устройствах STM32F4xx, и не может генерировать прерывание. Если необходимо, оно должно осуществляться путем опроса.

Очистка флаги исключений FPU зависит от контекста FPU сохранения / восстановления конфигурации:

- Не плавающей точкой регистра сохранения: когда с плавающей точкой регистры управления контекст (FPCCR) Бит 30 LSPEN = 0 и бит 31 ОСИНЫ = 0.

Вы должны очистить источник прерывания в операциях с плавающей точкой управления и состояния регистр (FPSCR). Пример:

```
регистра uint32_t fpscr_val = 0;
```

```
fpscr_val = get_FPSCR ();
```

```
{Проверяем, флаги исключительных}
```

```
fpscr_val и = (uint32_t) ~ 0x8F; // Очистить все флаги исключений
```

```
set_FPSCR (fpscr_val);
```

- Ленивый сохранения / восстановления: когда с плавающей точкой регистры управления контекстом (FPCCR) Бит 30 LSPEN = 1 и бит 31 ASPEN = X.

В случае ленивой контексте с плавающей точкой сохранения / восстановления, манекен доступ для чтения должны быть сделаны, чтобы с плавающей точкой управления и состояния регистр (FPSCR), чтобы заставить государственную сохранение и FPSCR ясно.

Затем обрабатывать FPSCR в стеке. Пример:

```
регистра uint32_t fpscr_val = 0;
```

```
регистра uint32_t reg_val = 0;
```

```
reg_val = get_FPSCR (); // манекен fpscr_val доступ = * (IO uint32_t *) (FPU-> FPCAR + 0x40);
```

```
{Проверяем, флаги исключительных}
```

```
fpscr_val и = (uint32_t) ~ 0x8F; // Очистить все флаги исключений
```

```
* (IO uint32_t *) (FPU-> FPCAR + 0x40) = fpscr_val; DMB ();
```

- Автоматические регистры с плавающей точкой сохранения / восстановления: когда с плавающей точкой регистры управления контекст (FPCCR)

Бит 30 LSPEN = 0 и бит 31 ОСИНЫ = 1.

В случае автоматического контексте с плавающей точкой сохранения / восстановления, доступ на чтение должно быть сделано, чтобы с плавающей точкой управления и состояния регистр (FPSCR), чтобы заставить ясно.

Затем обрабатывать FPSCR в стеке. Пример:

```
// FPU обработчик ошибок
```

```
недействительными FPU_ExceptionHandler (uint32_t LR, uint32_t ИП)
```

```
{
```

```
регистра uint32_t fpscr_val;
```

```
если (LR == 0xFFFFFE9)
```

```
{
```

```
sp = sp + 0x60;
```

```
}
```

```
иначе, если (LR == 0xFFFFFED)
```

```
{
```

```
SP = __get_PSP () + 0x60;
```

```
}
```

```
fpscr_val = * (uint32_t *) SP;
```

```
{Проверяем, флаги исключительных}
```

```
fpscr_val и = (uint32_t) ~ 0x8F; // Очистить все флаги исключений
```

```
* (uint32_t *) SP = fpscr_val;
```

```
DMB ();
```

```
}
```

```
// FPU IRQ обработчик
```

```
недействительными __asm FPU_IRQHandler (недействительными)
```

```
{
```

```
ИМПОРТ FPU_ExceptionHandler
```

```

MOV R0, LR // двигаться LR до R0

MOV R1, SP // Сохранить SP с R1, чтобы избежать каких-либо изменений в

// Указатель стека из FPU_ExceptionHandler

VMRS R2, FPSCR // манекен доступ на чтение, чтобы заставить ясно

В FPU_ExceptionHandler

BX LR

}

```

История 5 Пересмотр

Таблица история изменений 58. Документ

Дата	Редакция	Изменен
20-Фев-2012	1	Первый выпуск.
09-Июль-2012	2	Изменен при сбросе в разделе 4.6.2: с плавающей точкой регистры управления контекст (FPCCR). Добавлено Таблица 1: Действующие продукты.
04-Сент-2012	3	Добавлена информация о процессоре STM32F3xxx Cortex-M4. Добавлены дополнительные номера деталей для Таблица 1: Применимо продуктов. Добавил связанные ссылки документации для введения. Изменен "IEEE754-совместимый с одинарной точностью FPU" Пуля в Раздел 1.3.3: Cortex-M4 особенности процессора и преимущества резюме. Добавлена информация о расширенной контроллер прерываний / событий в разделе 2.5.3: внешний вход событий / расширенный прерывания и входом событий. Изменено первый "прервать" Пуля в разделе 4.3: Вложенный векторная контроллер прерываний (NVIC). Удалены устаревшие данные при сбросе в разделе 4.4.7:
12-Май-2014	4	Обновленные справочные документы. Обновлено Раздел 4.4.1: Дополнительное регистры управления (ACTLR). Обновлено Раздел 4.5.1: SysTick управления и регистры состояния (STK_CTRL).

Пожалуйста, внимательно прочитайте:

право вносить изменения, исправления, модификации или усовершенствования, к этому документу, а также продукты и услуги, описываемые здесь, в любое время, без предварительного уведомления.

Все продукты ST продаются в соответствии с условиями продажи компании ST.

Покупатели несут полную ответственность за свой выбор, выбор и использование продуктов и услуг ST, описанных в данном документе, и ST не несет никакой ответственности, относящиеся к выбору, выделения или использования продукции и услуг ST, описанных в данном документе.

Никакая лицензия, явных или подразумеваемых, либо иным образом, каких-либо прав интеллектуальной собственности не предоставляется в соответствии с настоящим документом. Если какая-либо часть этого документа относится к любой продукции или услуг третьих сторон не будет считаться предоставление лицензии на ST для использования таких сторонних продуктов или услуг, или любой интеллектуальной собственности, содержащихся в нем или может рассматриваться как гарантия на использование в каком-либо образом таких сторонних продуктов или услуг или любой интеллектуальной собственности, содержащейся в нем.

ЕСЛИ НЕ УКАЗАНО В УСЛОВИЯХ компании ST и условиях продажи ST ОТКАЗЫВАЕТСЯ ОТ ЛЮБЫХ ПРЯМЫХ ИЛИ ПОДРАЗУМЕВАЕМЫХ ГАРАНТИЙ В ОТНОШЕНИИ ИСПОЛЬЗОВАНИЯ И / ИЛИ ПРОДАЖИ Санкт-продуктов, включая БЕЗ ОГРАНИЧЕНИЙ ПОДРАЗУМЕВАЕМЫЕ ГАРАНТИИ ПРИГОДНОСТИ ДЛЯ КОНКРЕТНЫХ ЦЕЛЕЙ (и их эквиваленты в соответствии с законодательством любой юрисдикции), или нарушение каких-либо патентов, АВТОРСКИХ ПРАВ ИЛИ ДРУГИХ ПРАВ ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ.

ST продукты не предназначены или для использования в области: (A), критичных для безопасности приложений, таких как жизнеобеспечения, активный имплантированных устройств или систем продукции требованиям функциональной безопасности; (B) по авиации техники; (C) Автомобильные целях или средах, и / или (D) в аэрокосмической промышленности или условиях. ГДЕ ST ТОВАРЫ не предназначены для такого использования, ПОКУПАТЕЛЬ должен использовать продукты AT Покупателя СТРАХ И РИСК, ДАЖЕ ЕСЛИ ST был проинформирован в письменном виде такого использования, ЕСЛИ продукт не явно указанных ST, что они предназначены для "Automotive, автомобильной безопасности OR МЕДИЦИНСКИЕ" Индустрия домены в соответствии ST дизайн продукта спецификации. ТОВАРЫ ОФИЦИАЛЬНО ЕШКО, QML ИЛИ JAN QUALIFIED считаются Подходит для использования в аэрокосмической соответствующими правительственное агентство.

Перепродажа продуктов ST с положениями, отличных от заявления и / или техническими особенностями, изложенными в этом документе должны немедленно аннулировать любые гарантии, предоставляемые по ST для продукта ST или услуг, описанных в данном документе, и не должны создавать или расширять в любой форме, любой ответственности ST.

ST и логотип ST являются товарными знаками или зарегистрированными товарными знаками ST в различных странах. Информация, содержащаяся в данном документе, отменяет и заменяет всю информацию, предоставленную прежде.

Логотип ST является зарегистрированной торговой маркой STMicroelectronics. Все другие названия являются собственностью их соответствующих владельцев.

© 2014 STMicroelectronics - Все права защищены

STMicroelectronics группа компаний

Австралия - Бельгия - Бразилия - Канада - Китай - Чехия - Финляндия - Франция -
Германия - Гонконг - Индия - Израиль - Италия - Япония - Малайзия - Мальта - Марокко -
Филиппины - Сингапур - Испания - Швеция - Швейцария - Соединенное Королевство -
Соединенные Штаты Америки

www.st.com

